

PTO/SB/21 (08-00)

Approved for use through 10/31/2002. OMB 0651-0031

U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Applicati n Number 10/605,759

Filing Date 10/23/2003

First Named Inventor Yin-Chang Chen

Group Art Unit

Examiner Name

Total Number of Pages in This Submission 3

Attorney Docket Number AMIP0024USA

ENCLOSURES (check all that apply)

- | | | |
|------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------|
| <input checked="" type="checkbox"/> Fee Transmittal Form | <input type="checkbox"/> Assignment Papers (for an Application) | <input type="checkbox"/> After Allowance Communication to Group |
| <input type="checkbox"/> Fee Attached | <input type="checkbox"/> Drawing(s) | <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences |
| <input type="checkbox"/> Amendment / Reply | <input type="checkbox"/> Licensing-related Papers | <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) |
| <input type="checkbox"/> After Final | <input type="checkbox"/> Petition | <input type="checkbox"/> Proprietary Information |
| <input type="checkbox"/> Affidavits/declaration(s) | <input type="checkbox"/> Petition to Convert to a Provisional Application | <input type="checkbox"/> Status Letter |
| <input type="checkbox"/> Extension of Time Request | <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address | <input type="checkbox"/> Other Enclosure(s) (please identify below): |
| <input type="checkbox"/> Express Abandonment Request | <input type="checkbox"/> Terminal Disclaimer | |
| <input type="checkbox"/> Information Disclosure Statement | <input type="checkbox"/> Request for Refund | |
| <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) | <input type="checkbox"/> CD, Number of CD(s) _____ | |
| <input type="checkbox"/> Response to Missing Parts/ Incomplete Application | | |
| <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53 | | |

Remarks

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm
or
Individual name

Winston Hsu, Reg. No.: 41,526

Signature

Winston Hsu

Date

10/28/2003

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date:

Typed or printed name

Signature

Date

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (01-03)
Approved for use through 04/30/2003. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☒ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/605,759
Filing Date	10/23/2003
First Named Inventor	Yin-Chang Chen
Examiner Name	
Art Unit	
Attorney Docket No.	AMIP0024USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801
Deposit Account Name: North America International Patent Office

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments
☒ Charge any additional fee(s) during the pendency of this application
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 750	2001 375	Utility filing fee	
1002 330	2002 165	Design filing fee	
1003 520	2003 260	Plant filing fee	
1004 750	2004 375	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)			(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Extra Claims	Fee from below	Fee Paid
Independent Claims	-20** =	X	
Multiple Dependent	-3** =	X	

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 84	2201 42	Independent claims in excess of 3
1203 280	2203 140	Multiple dependent claim, if not paid
1204 84	2204 42	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for <i>ex parte</i> reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 410	2252 205	Extension for reply within second month	
1253 930	2253 465	Extension for reply within third month	
1254 1,450	2254 725	Extension for reply within fourth month	
1255 1,970	2255 985	Extension for reply within fifth month	
1401 320	2401 160	Notice of Appeal	
1402 320	2402 160	Filing a brief in support of an appeal	
1403 280	2403 140	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,300	2453 650	Petition to revive - unintentional	
1501 1,300	2501 650	Utility issue fee (or reissue)	
1502 470	2502 235	Design issue fee	
1503 630	2503 315	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 750	2809 375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 750	2810 375	For each additional invention to be examined (37 CFR 1.129(b))	
1801 750	2801 375	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify) _____

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

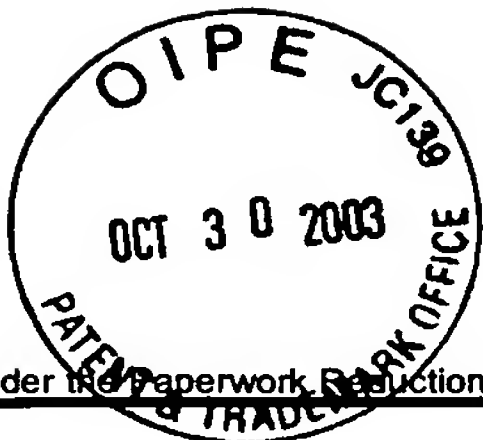
(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	10/28/2003		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

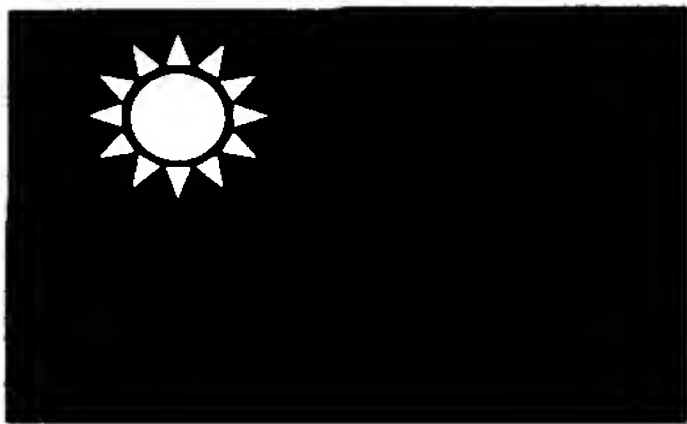
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092119571	Taiwan R.O.C	07/17/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 17 日
Application Date

申請案號：092119571
Application No.

申請人：聯笙電子股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 10 月 21 日
Issue Date

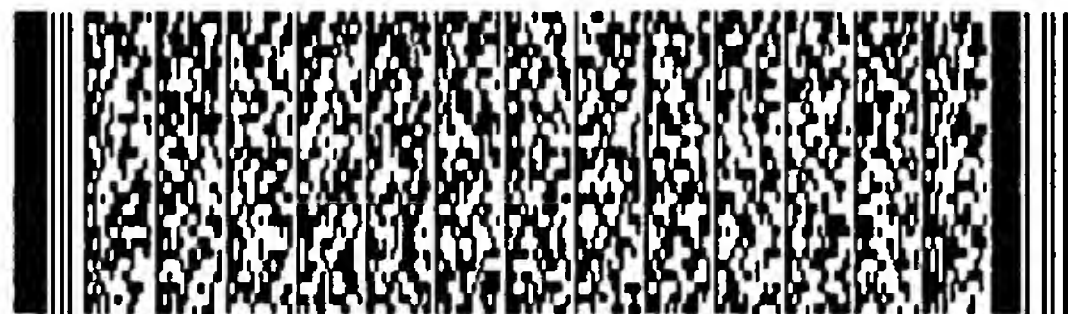
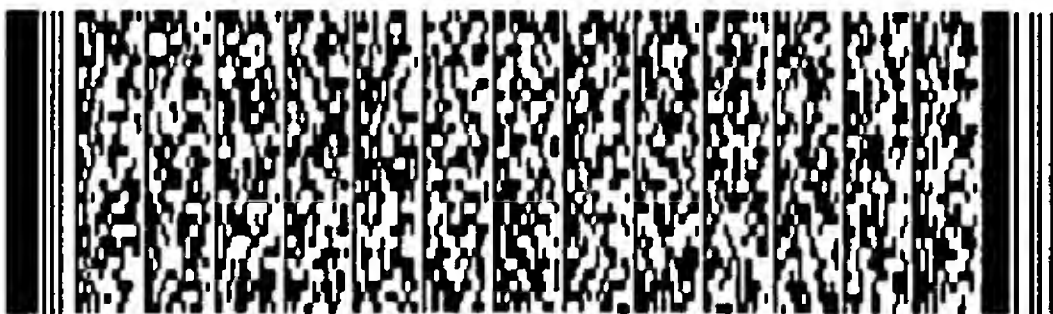
發文字號：09221065670
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	應用同一驅動電壓輸出電路於複數個字元線驅動電路的快閃記憶體
	英 文	FLASH MEMORY CAPABLE OF UTILIZING ONE DRIVING VOLTAGE OUTPUT CIRCUIT TO DRIVE A PLURALITY OF WORD LINE DRIVERS
二、 發明人 (共2人)	姓 名 (中文)	1. 陳印章
	姓 名 (英文)	1. CHEN, YIN-CHANG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹北市縣政七街二十三號三樓
	住居所 (英 文)	1. 3F, No. 23, Shianjeng 7th St., Jubei City, Hsin-Chu Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯笙電子股份有限公司
	名稱或 姓 名 (英文)	1. AMIC TECHNOLOGY CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行六路五號六樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 6F, No.5, Li-Hsing 6 Rd., Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 陳 焜 錄
	代表人 (英文)	1. CHEN, KUN-LUH

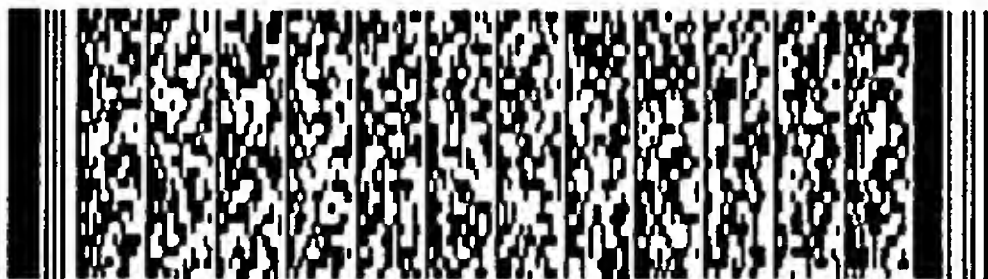


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 顏定國
	姓 名 (英 文)	2. YEN, TING-KUO
	國 籍 (中 英 文)	2. 中華民國 TW
	住 居 所 (中 文)	2. 苗栗縣苑裡鎮山腳里二十一鄰三十之八號
	住 居 所 (英 文)	2. No. 30-8, Community 21, Shan-Chiao Li, Yuan-Li Town, Miao-Li Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：應用同一驅動電壓輸出電路於複數個字元線驅動電路的快閃記憶體)

本發明係提供一種快閃記憶體，其包含有一行驅動電路，用來驅動一預定字元線至一預定電壓準位。該行驅動電路包含有複數個字元線驅動電路，每一字元線驅動電路包含有複數個驅動單元以及一驅動電壓輸出電路。該驅動電壓輸出電路係用來以不使用該複數個第一解碼訊號之方式依據複數個第二解碼訊號決定複數個驅動電壓之操作電壓準位，以及於連接於該預定字元線之驅動單元導通而電連接該預定字元線與該驅動電壓輸出電路時，輸出一預定驅動電壓來驅動該預定字元線至該預定電壓準位。

五、(一)、本案代表圖為：第五圖

(二)、本案代表圖之元件代表符號簡單說明

72a 字元線驅動電路

82a 記憶區塊選取電路

五、英文發明摘要 (發明名稱：FLASH MEMORY CAPABLE OF UTILIZING ONE DRIVING VOLTAGE OUTPUT CIRCUIT TO DRIVE A PLURALITY OF WORD LINE DRIVERS)

A flash memory capable of utilizing one driving voltage output circuit to drive a plurality of word line drivers. The flash memory has a row driver for driving a predetermined word line to approach a predetermined voltage level. The row driver has a plurality of word line drivers, and each word line driver has a plurality of driving units and a driving voltage output circuit. The



四、中文發明摘要 (發明名稱：應用同一驅動電壓輸出電路於複數個字元線驅動電路的快閃記憶體)

83a、83b、83c 驅動單元 84 NAND邏輯閘
86a、86b、86c、86d、86e、86f 電晶體
87a、87b、87c、87d、87e 反相器

五、英文發明摘要 (發明名稱：FLASH MEMORY CAPABLE OF UTILIZING ONE DRIVING VOLTAGE OUTPUT CIRCUIT TO DRIVE A PLURALITY OF WORD LINE DRIVERS)

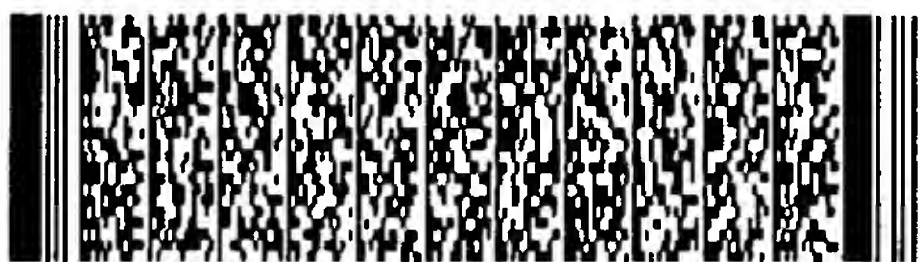
driving voltage output circuit is used for determining operating voltage levels of a plurality of driving voltages according to a plurality of second decoded signals without utilizing a plurality of first decoded signals, and for outputting a predetermined driving voltage to drive the predetermined word line to approach the predetermined voltage level when a



四、中文發明摘要 (發明名稱：應用同一驅動電壓輸出電路於複數個字元線驅動電路的快閃記憶體)

五、英文發明摘要 (發明名稱：FLASH MEMORY CAPABLE OF UTILIZING ONE DRIVING VOLTAGE OUTPUT CIRCUIT TO DRIVE A PLURALITY OF WORD LINE DRIVERS)

driving unit electrically connected to the predetermined word line is turned on for connecting the predetermined word line and the driving voltage output circuit.



六、指定代表圖

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

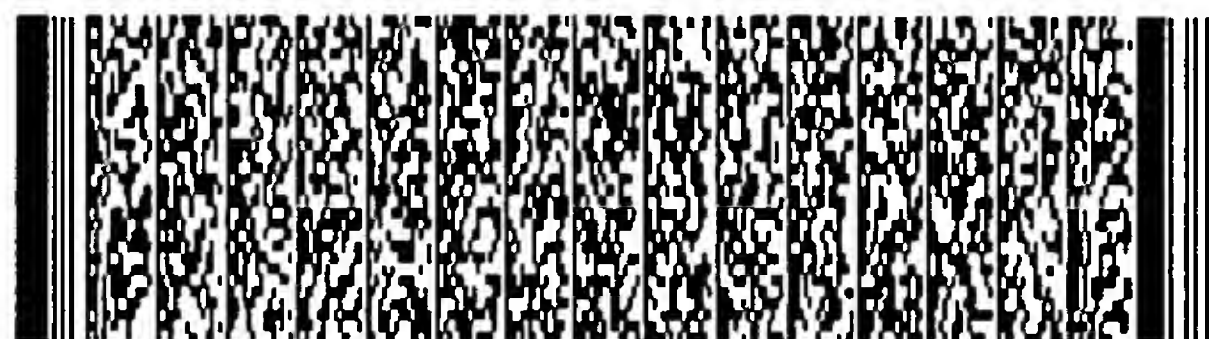
發明所屬之技術領域

本發明提供一種快閃記憶體，尤指一種應用同一驅動電壓輸出電路於複數個字元線驅動電路的快閃記憶體。

先前技術

近年來，隨著可攜式 (portable) 電子產品的需求增加，快閃 (flash) 記憶體的技術以及市場應用也日益成熟擴大。這些可攜式電子產品包括有數位相機的底片、手機、遊戲機 (video game apparatus)、個人數位助理 (personal digital assistant, PDA) 之記憶體、電話答錄裝置以及可程式 IC 等等。快閃記憶體係為一種非揮發性記憶體 (non-volatile memory)，其運作原理是藉由改變電晶體 (亦即記憶單元) 的臨界電壓 (threshold voltage) 來控制相對應閘極通道的形成以達到記憶資料的目的，同時可使儲存在快閃記憶體中的資料不會因電源中斷而受到消失，

請參閱圖一，圖一為習知快閃記憶體 10 的結構示意圖。快閃記憶體 10 包含有一基底 (substrate) 12，一源極 (source) 14，一汲極 (drain) 16，一浮置閘極 (floating gate) 18，以及一控制閘極 (control gate) 20。浮置閘極 18 與基底 12 中的通道 (channel) 22



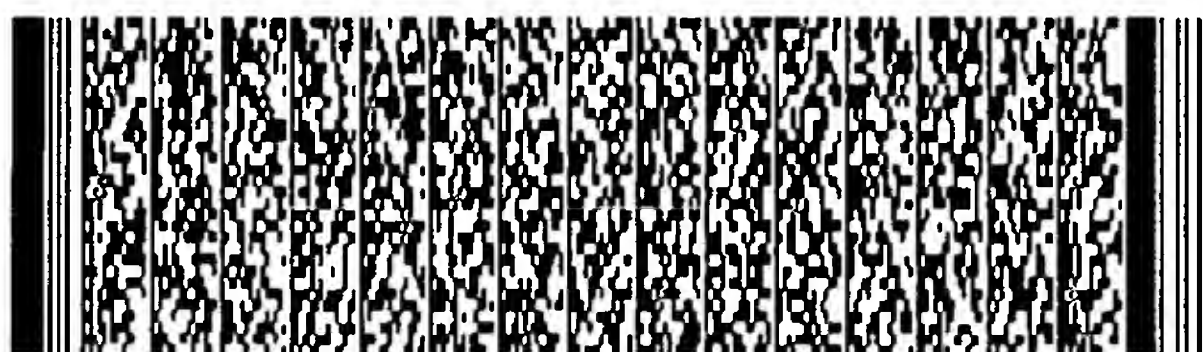
五、發明說明 (2)

之間以一氧化層 24 隔離，以及控制閘極 20 與浮置閘極 18 之間以另一氧化層 25 隔離，而基底 12 係連接於一參考電壓 V_{bb} 。若快閃記憶體 10 係為 N 型金屬氧化半導體

(NMOS) 構造，則基底 12 為 P 型摻雜區，而源極 14 及汲極 16 為 N 型摻雜區，相反地，若快閃記憶體 10 係為 P 型金屬氧化半導體 (PMOS) 構造，則基底 12 為 N 型摻雜區，而源極 14 及汲極 16 為 P 型摻雜區。請注意，為便於說明，圖一中僅顯示一記憶單元 (memory cell) 26，一般而言，快閃記憶體 10 包含有複數個以行 (row) 及列 (column) 方式排列的記憶單元 26，用來依據個別的行列位址 (address) 以儲存資料。

快閃記憶體 10 的原理詳述如下，以快閃記憶體 10 係為 N 型金屬氧化半導體 (NMOS) 構造為例，輸入控制閘極 20 的控制電壓 V_{cg} 可改變浮置閘極 18 上所儲存之電子

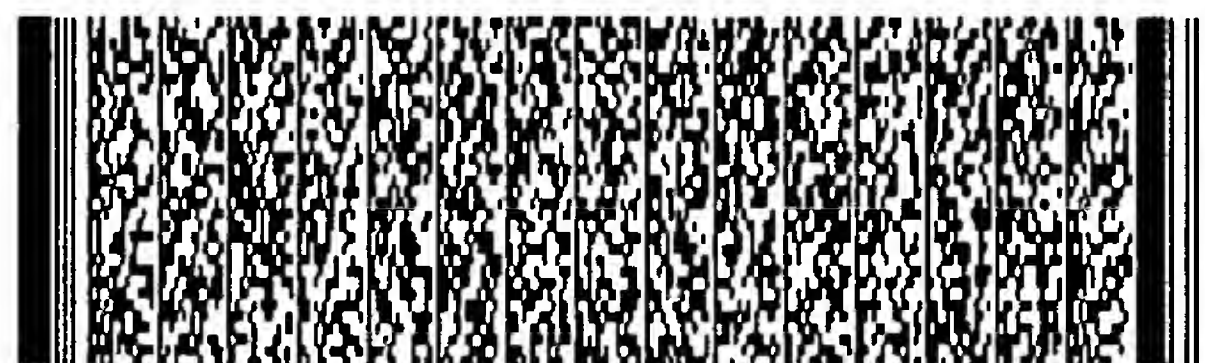
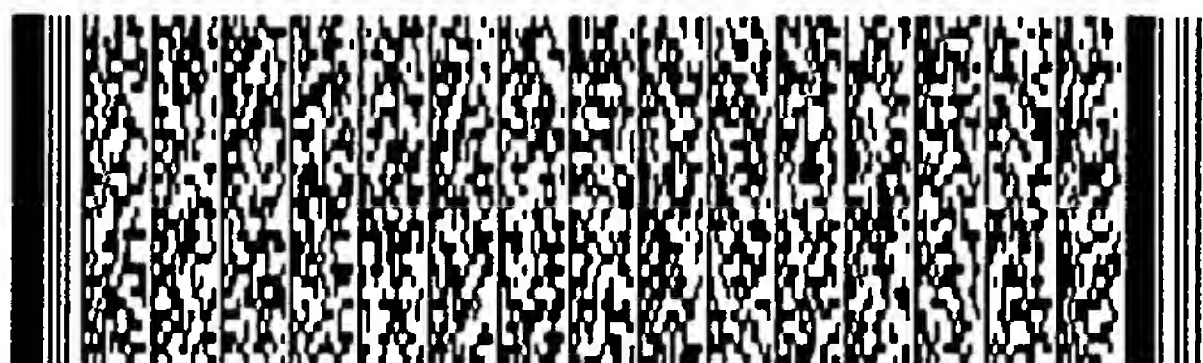
(electron) 的數量，所以可透過浮置閘極 18 上所儲存的電子而進一步地改變形成通道 22 所對應的臨界電壓 (threshold voltage)。因此於讀取資料時，記憶單元 26 係依據浮置閘極 18 所儲存的電子而來區分為兩種資料狀態 "0" 或 "1"。當浮置閘極 18 儲存較多電子時，由於浮置閘極 18 對應負電性，所以造成臨界電壓也相對地較高，亦即控制閘極 20 需對應較高的正電壓準位才可使基底 12 上形成所要的通道；相反地，當浮置閘極 18 儲存較少電子或未儲存任何電子時，對應通道 22 形成的臨界電



五、發明說明 (3)

壓也相對地較低。一般而言，為了使記憶單元 26 之源極 14 與汲極 16 導通，亦即產生通道 22，則必須於控制閘極 20 輸入一控制電壓 V_{cg} ，並經由讀取源極 14 與汲極 16 之間導通的電流值大小以判定於該外加控制電壓 V_{cg} 之下，記憶單元 26 所代表的資料狀態為 "1" 或 "0"。

快閃記憶體 10 的運作主要可區分為程式化 (program) 操作，讀取 (read) 操作，以及清除 (erase) 操作。以快閃記憶體 10 係為 N 型金屬氧化半導體 (NMOS) 構造為例，對於程式化操作而言，基底 12 所連接之參考電壓 V_{bb} 對應一接地電壓 (例如 0 伏特)，控制閘極 20 所連接之控制電壓 V_{cg} 對應一正電壓 (例如 +8.5 伏特)，源極 14 所連接之控制電壓 V_s 對應該接地電壓，以及汲極 16 所連接之控制電壓 V_d 對應一正電壓 (例如 +5 伏特)。此時，通道 22 會形成以電連接汲極 16 與源極 14，所以電子會由源極 14 傳輸至汲極 16，由於汲極 16 與源極 14 的壓差大而造成一大電場來驅動通道 22 的電子，並產生習知的通道熱電子 (channel hot electron)，當該通道熱電子的能量足以跨越氧化層 24 的能量障壁 (potential barrier) 時，控制閘極 20 會吸引該通道熱電子至浮置閘極 18，亦即程式化操作係驅使浮置閘極 18 儲存一預定數量的電子。相反地，對於不需程式化的記憶單元 26 來說，其控制閘極 V_{cg} 則會對應該接地電壓，因此通道 22 並不會形成，換句話說，浮置閘極 18 便無法順利地儲存一預定數量的電



五、發明說明 (4)

子。

對於讀取操作而言，基底 12 所連接之參考電壓 V_{bb} 對應一接地電壓（例如 0 伏特），控制閘極 20 所連接之控制電壓 V_{cg} 對應一正電壓（例如 +3.3 伏特），源極 14 所連接之控制電壓 V_s 對應該接地電壓，以及汲極 16 所連接之控制電壓 V_d 對應一正電壓（例如 +1 伏特），此時，若浮置閘極 25 已經由上述程式化操作而儲存一預定數量的電子，因此控制電壓 V_{cg} 的電壓準位便不足以驅使基底 12 中形成所需的通道 22，所以源極 14 與汲極 16 之間無法順利地輸出電流；相反地，若浮置閘極 25 並未由上述程式化操作而儲存一預定數量的電子，因此控制電壓 V_{cg} 的電壓準位足以驅使基底 12 中形成所需的通道 22，所以源極 14 便可經由通道 2 電連接於汲極 16，亦即源極 14 與汲極 16 之間可以順利地輸出電流，所以最後透過一習知感測電路（sense amplifier），便可依據電流大小來決定記憶單元 26 所紀錄的邏輯值為 "1" 或 "0"。

對於清除操作而言，基底 12 所連接之參考電壓 V_{bb} 對應一正電壓（例如 +8.5 伏特），控制閘極 20 所連接之控制電壓 V_{cg} 對應一負電壓（例如 -7 伏特），源極 14 所連接之控制電壓 V_s 對應一接地電壓（例如 0 伏特），以及汲極 16 係為浮接（floating），若浮置閘極 25 儲存有一預定數量的電子，然而控制閘極 20 與基底 12 之間的電場會驅離浮



五、發明說明 (5)

置閘極 25 上的電子，亦即利用習知 FN 穿隧 (Fowler-Nordheim tunneling) 的效應將浮置閘極 25 上的電子輸出至源極 14 而移除。

如上所述，快閃記憶體 10 無論執行程式化操作、讀取操作或清除操作，其控制閘極 20 需輸入適當的控制電壓 V_{cg} ，一般而言，控制閘極 20 係電連接於一字元線 (word line)，因此需要一驅動電路來提供所需的操作電壓至字元線。請參閱圖二，圖二為圖一所示之快閃記憶體 10 的電路示意圖。快閃記憶體 10 包含有一第一解碼電路 32，一第二解碼電路 34，一行驅動電路 (row driver) 36，一電壓供應電路 38，以及複數個記憶區塊 40a、40b。行驅動電路 36 包含有複數個字元線驅動電路 (word line driver) 42a、42b，而每一記憶區塊 40a、40b 設置有複數個記憶單元 44，此外，各字元線驅動電路 42a、42b 係用來驅動複數條字元線 $WL_0 \sim WL_n$ ，請注意，每一字元線 $WL_0 \sim WL_n$ 係同時連接於複數個記憶單元 44。第一解碼電路 32 係用來解碼一記憶體位址 ADDRESS 以產生第一解碼訊號 XP，該第一解碼訊號 XP 係用來決定選取哪一個字元線驅動電路 42a、42b，例如該記憶體位址 ADDRESS 係對應記憶區塊 40a 中的記憶單元 44，因此當第一解碼電路 32 解碼記憶體位址 ADDRESS 後，由於記憶區塊 40a 對應於字元線驅動電路 42a，因此經由第一解碼訊號 XP 決定需使用字元線驅動電路 42a 來存取記憶區塊 40a。此外，第二解碼電



五、發明說明 (6)

路 34 亦會解碼記憶體位址 ADDRESS 以產生第二解碼訊號 XT，第二解碼訊號 XT 係用來決定哪一字元線需輸入操作電壓以程式化、讀取、或清除一預定記憶單元，舉例來說，當該記憶體位址 ADDRESS 係對應記憶區塊 40a 中，位於字元線 WL₀ 上的一記憶單元 44 時，若快閃記憶體 10 係進行讀取操作，則如前所述，該記憶單元 44 的控制閘極需輸入 +3.3 伏特，所以當第一解碼訊號 XP 選取字元線驅動電路 42a，以及第二解碼訊號 XT 選取字元線 WL 時，字元線驅動電路 42a 便可成功地驅動字元線 WL 對應 +3.3 伏特的電壓準位。

電壓供應電路 38 則是用來提供行驅動電路 36 運作所需的操作電壓，舉例來說，當快閃記憶體 10 執行程式化操作時，若記憶單元 44 需被程式化，則電壓供應電路 38 提供 +8.5 伏特予記憶單元 44 之控制閘極；相反地，若記憶單元 44 不需被程式化，則電壓供應電路 38 提供 0 伏特予記憶單元 44 之控制閘極。當快閃記憶體 10 執行讀取操作時，若需讀取記憶單元 44 所紀錄的資料，則電壓供應電路 38 提供 +3.3 伏特予記憶單元 44 之控制閘極；相反地，若不需讀取記憶單元 44 所紀錄的資料，則電壓供應電路 38 提供 0 伏特予記憶單元 44 之控制閘極。當快閃記憶體 10 執行清除操作時，則電壓供應電路 38 便輸出 -7 伏特予記憶單元 44 之控制閘極。換句話說，電壓供應電路 38 會依據快閃記憶體 10 目前係執行程式化操作、讀取操作或清除操作



五、發明說明 (7)

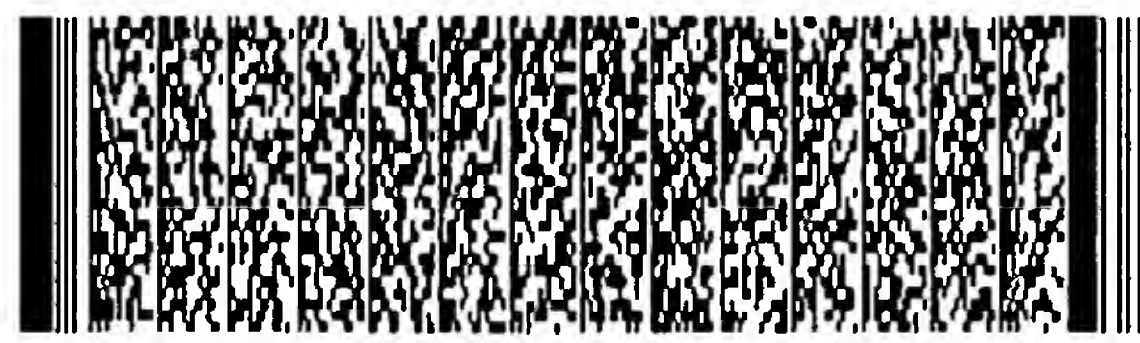
來提供不同的電壓準位與行驅動電路 36。

請參閱圖三，圖三為圖二所示之字元線驅動電路 42a 的電路示意圖。字元線驅動電路 42a 包含有一 NAND 邏輯閘 46 以及複數個 NOR 邏輯閘 48a、48b、48c。如前所述，第一解碼電路 32 所輸出的第一解碼訊號 XP 係用來選取行驅動電路 36 中一字元線驅動電路。假設行驅動電路 36 包含有八個字元線驅動電路，其中字元線驅動電路 42a 係為第一個字元線驅動電路，而字元線驅動電路 42a 係為第八個字元線驅動電路，因此如業界所習知，利用三個解碼訊號 XPA、XPB、XPC 即可達到於行驅動電路 36 中選取出一字元線驅動電路的目的，舉例來說，輸入 NAND 邏輯閘 46 的訊號分別為解碼訊號 XPA 的反相訊號，解碼訊號 XPB 的反相訊號，以及解碼訊號 XPC 的反相訊號，因此僅有當三個解碼訊號 XPA、XPB、XPC 均對應邏輯值 "0" 時，輸入 NAND 邏輯閘 46 的三個訊號才會均對應邏輯值 "1" 而使 NAND 邏輯閘 46 輸出邏輯值 "0"，亦即此時字元線驅動電路 42a 會被選取。對於每一字元線驅動電路，其電路架構與字元線驅動電路 42a 的電路架構相似，而唯一的不同之處在於輸入 NAND 邏輯閘 46 的訊號，以字元線驅動電路 42b 為例，輸入 NAND 邏輯閘 46 的訊號分別為解碼訊號 XPA，解碼訊號 XPB，以及解碼訊號 XPC，因此僅有當三個解碼訊號 XPA、XPB、XPC 均對應邏輯值 "1" 時，輸入 NAND 邏輯閘 46 的三個訊號才會均對應邏輯值 "1" 而使 NAND 邏輯閘 46 輸出邏輯



五、發明說明 (8)

值 "0"，亦即此時字元線驅動電路 42b 便會被選取。綜合上述，經由 NAND 邏輯閘 46 的設置，便可透過解碼訊號 XPA、XPB、XPC 的邏輯值為 "1" 或 "0" 來決定八個字元線驅動電路中，哪一字元線驅動電路會被選取。如圖三所示，每一 NOR 邏輯閘 48a、48b、48c 對應一特定字元線，亦即若字元線驅動電路 42a 包含有八個 NOR 邏輯閘 48a、48b、48c，其中 NOR 邏輯閘 48a 對應字元線 WL_0 ，NOR 邏輯閘 48b 對應字元線 WL_1 ，以及 NOR 邏輯閘 48c 對應字元線 WL_8 。如前所述，第二解碼訊號 XT 係用來決定哪一字元線需輸入操作電壓以成功地程式化、讀取、或清除一預定記憶單元，由於字元線驅動電路 42a (如圖三所示) 包含有 8 條字元線 $WL_0 \sim WL_7$ ，因此當第二解碼電路 34 輸出第二解碼訊號 XT 時，第二解碼訊號 XT 包含有八個解碼訊號 $XT_0 \sim XT_7$ ，其分別依據其邏輯值來決定相對應字元線 $WL_0 \sim WL$ 是否被選取。舉例來說，若該預定記憶單元之控制閘極電連接於字元線 WL_0 ，所以解碼訊號 XT_0 會對應邏輯值 "1"，而其餘解碼訊號 $XT_1 \sim XT$ 會對應邏輯值 "0"，由圖三可知，於解碼訊號 XPA、XPB、XPC 均對應邏輯值 "1" 而選取字元線驅動電路 42a 後，僅有當解碼訊號 XT 對應邏輯值 "1" 時，NOR 邏輯閘 48a 的輸出端才會對應邏輯值 "1"，亦即對於其餘解碼訊號 $XT_1 \sim XT$ 而言，例如解碼訊號 XT_1 ，由於其邏輯值為 "0"，因此 NOR 邏輯閘 48b 的輸出端即會對應邏輯值 "0"。



五、發明說明 (9)

請注意，每一 NOR邏輯閘之輸出端與相對應字元線 $WL_0 \sim WL_7$ 之間係分別設置有電壓轉換電路 (level shift circuit)，於圖三中，NOR邏輯閘 48a 連接於電壓轉換電路 50a，NOR邏輯閘 48b 連接於電壓轉換電路 50b，以及 NOR邏輯閘 48c 連接於電壓轉換電路 50c。電壓轉換電路 50a、50b、50c 係應用相同的電路架構，以電壓轉換電路 50a 為例，其包含有電晶體 52a、52b、52c、52d 以及一反相器 (inverter) 54，其中電晶體 52a、52c 係為 P 型金屬氧化半導體電晶體 (PMOS transistor)，而電晶體 52b、52d 係為 N 型金屬氧化半導體電晶體 (NMOS transistor)。假設快閃記憶體 10 執行讀取操作，因此電壓供應電路 38 會分別輸出 +3.3 伏特以及 0 伏特，其中 +3.3 伏特係用來作為圖三所示之電壓準位 V1，而 0 伏特即用來作為圖三所示之電壓準位 V2，所以當 NOR邏輯閘 48a 的輸出端對應邏輯值 "1" 時，電晶體 52b 會導通而使端點 A 趨近 0 伏特 (亦即對應於邏輯值 "0")，同時電晶體 52c 亦會導通而使端點 B 趨近 +3.3 伏特 (亦即對應於邏輯值 "1")，此外，電晶體 52a、52d 並未導通，所以字元線 WL 最後便趨近 +3.3 伏特而可成功地讀取記憶單元；相反地，當 NOR邏輯閘 48a 的輸出端對應邏輯值 "0" 時，電晶體 52b 不會導通，而反相器 54 的輸出端對應邏輯值 "1" 而使電晶體 52d 導通，因此端點 B 趨近 0 伏特 (亦即對應於邏輯值 "0")，同時電晶體 52a 亦會導通而使端點 A 趨近 +3.3 伏特 (亦即對應於邏輯值 "1")，此外，電晶體 52b、52c 並未導通，所以字元線



五、發明說明 (10)

WL最後便趨近 0 伏特而無法進行讀取記憶單元的操作。

如上所述，每一字元線 $WL_0 \sim WL$ 均需連接於一相對應的電壓轉換電路，以電壓轉換電路 50a 為例，電壓轉換電路 50a 需依據解碼訊號 XPA、XPB、XPC、XT 來決定驅動字元線 WL 趨近電壓準位 V1 或電壓準位 V2，而電壓轉換電路 50a 最少需要 6 個電晶體來構成，因此當習知快閃記憶體 10 設置有複數條字元線時，則行驅動電路 36 所需之電晶體數目便十分龐大而造成快閃記憶體 10 的晶片尺寸隨之增加。

發明內容

因此本發明之主要目的在於提供一種應用同一驅動電壓輸出電路於複數個字元線驅動電路而可大幅地降低電晶體數量的快閃記憶體，以解決上述問題。

根據本發明之申請專利範圍，係揭露一種一種記憶體，其包含有複數個記憶區塊 (memory block)，一第一解碼電路，一第二解碼電路，以及一行驅動電路 (row driver)。每一記憶區塊包含有複數個字元線 (word line)，且每一字元線電連接於複數個記憶單元 (memory cell)。該第一解碼電路係用來解碼一記憶體位址以產生複數個第一解碼訊號。該第二解碼電路係用



五、發明說明 (11)

來解碼該記憶體位址以產生複數個第二解碼訊號。該行驅動電路係用來驅動一預定字元線至一預定電壓準位，該行驅動電路包含有複數個字元線驅動電路（word line driver），電連接於該第一解碼電路與該第二解碼電路。每一字元線驅動電路包含有複數個驅動單元，一記憶體區塊選取電路，以及一驅動電壓輸出電路。每一驅動單元係電連接於一字元線。該記憶體區塊選取電路係電連接於該複數個驅動單元，用來依據該複數個第一解碼訊號導通該複數個驅動單元。該驅動電壓輸出電路係電連接於該複數個驅動單元，用來以不使用該複數個第一解碼訊號之方式依據該複數個第二解碼訊號決定複數個驅動電壓之操作電壓準位，以及於連接於該預定字元線之驅動單元導通而一預定驅動電路時，輸出一預定電壓準位。

由於本發明快閃記憶體應用同一驅動電壓輸出電路於複數個字元線驅動電路，因此可大幅地降低電晶體的使用數量，所以本發明快閃記憶體具有較小的尺寸以及較低的生產成本。

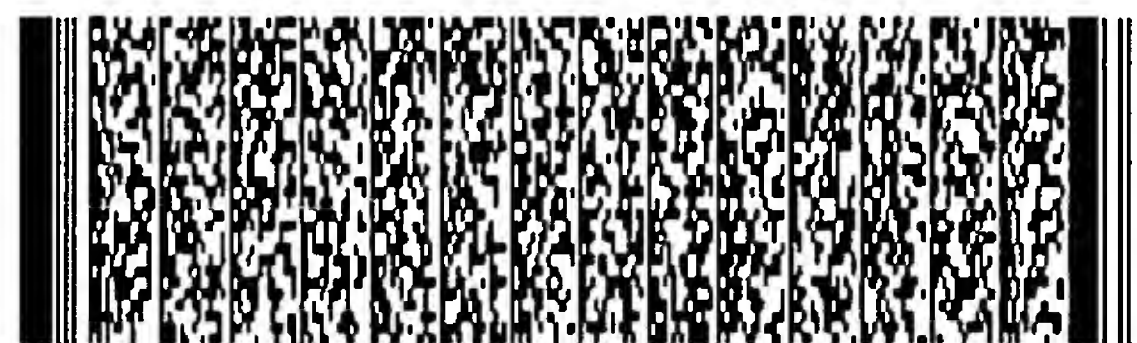
實施方式

請參閱圖四，圖四為本發明快閃記憶體 60 的功能方塊示



五、發明說明 (12)

意圖。快閃記憶體 60 包含有一第一解碼電路 62，一第二解碼電路 64，一電壓供應電路 66，一行驅動電路 68，以及複數個記憶區塊 70a、70b。行驅動電路 68 包含有複數個字元線驅動電路 72a、72b，一驅動電壓輸出電路 74，一基底電壓控制電路 76，以及一字元線重置電路 78，其中各字元線驅動電路 72a、72b 分別對應記憶區塊 70a、70b，而每一記憶區塊 70a、70b 設置有複數個記憶單元 80。此外，各字元線驅動電路 72a、72b 中設置有記憶區塊選取電路 82a、82b，用來決定相對應字元線驅動電路 72a、72b 是否啟動。每一字元線驅動電路 72a、72b 係用來驅動複數條字元線 $WL_0 \sim WL_n$ 所對應的電壓準位，如圖四所示，每一字元線 $WL_0 \sim WL_n$ 連接於複數個記憶單元 80。第一解碼電路 62 係用來解碼一記憶體位址 ADDRESS 以產生第一解碼訊號 XP，該第一解碼訊號 XP 係用來決定選取哪一個字元線驅動電路 72a、72b，例如該記憶體位址 ADDRESS 係對應記憶區塊 70a 中的一記憶單元 80，因此當第一解碼電路 62 解碼記憶體位址 ADDRESS 後，由於記憶區塊 70a 對應於字元線驅動電路 72a，因此經由第一解碼訊號 XP，記憶體選取電路 82a 便決定需啟動字元線驅動電路 72a 來存取記憶區塊 70a。此外，第二解碼電路 34 亦會解碼記憶體位址 ADDRESS 以產生第二解碼訊號 XT，並輸出第二解碼訊號 XT 至驅動電壓輸出電路 74。第二解碼訊號 XT 係用來決定哪一字元線需輸入一操作電壓以程式化、讀取、或清除一預定記憶單元，而驅動電壓輸出電路 74 便依據第二



五、發明說明 (13)

解碼訊號 XT 所提供之資訊以及電壓供應電路 66 所提供之操作電壓來控制已由第一解碼訊號 XP 選取之字元線驅動電路中，各字元線 $WL_0 \sim WL_n$ 所對應的電壓準位。舉例來說，當該記憶體位址 ADDRESS 係對應記憶區塊 40a 中，位於字元線 WL_0 上的一記憶單元 80 時，若快閃記憶體 60 係進行讀取操作，則如前所述，該記憶單元 80 的控制閘極需輸入 +3.3 伏特，所以電壓供應電路 66 此時便會輸出 +3.3 伏特的操作電壓至驅動電壓輸出電路 74，當第一解碼訊號 XP 選取字元線驅動電路 72a，以及第二解碼訊號 XT 選取字元線 WL_0 時，驅動電壓輸出電路 74 便可輸出 +3.3 伏特至字元線 WL_0 以使字元線 WL_0 上的記憶單元 80 可成功地執行讀取操作；相反地，對於字元線驅動電路 72a 中未被第二解碼訊號 XT 選取的其餘字元線 $WL_1 \sim WL_n$ 來說，驅動電壓輸出電路 74 則無法將 +3.3 伏特的操作電壓輸出至字元線 $WL_1 \sim WL_n$ ，所以字元線 $WL_1 \sim WL_n$ 上的記憶單元 80 所記錄的資料必定無法順利地被讀取。此外，基底電壓控制電路 76 電連接於電壓供應電路 66，係用來於快閃記憶體 60 執行程式化操作、讀取操作或清除操作時，輸出適當的電壓準位予字元線驅動電路 72a、72b 中電晶體的基底，而字元線重置電路 78 係用來於快閃記憶體 60 執行程式化操作、讀取操作或清除操作時，控制是否重置字元線 $WL_0 \sim WL_n$ 的電壓準位對應一預定值（例如接地電壓）。

如上所述，電壓供應電路 66 係用來提供行驅動電路 68 運



五、發明說明 (14)

作所需的操作電壓，舉例來說，當快閃記憶體 60 執行程式化操作時，若記憶單元 80 需被程式化，則電壓供應電路 66 提供 +8.5 伏特予驅動電壓輸出電路 74，以便驅動電壓輸出電路 74 可進一步地驅動記憶單元 80 之控制閘極至 +8.5 伏特；相反地，若記憶單元 44 不需被程式化，則電壓供應電路 66 提供 0 伏特予驅動電壓輸出電路 74，以便驅動電壓輸出電路 74 驅動記憶單元 44 之控制閘極至 0 伏特。同樣地，當快閃記憶體 60 執行讀取操作時，若需讀取記憶單元 80 所紀錄的資料，則電壓供應電路 66 提供 +3.3 伏特予驅動電壓輸出電路 74，以便驅動電壓輸出電路 74 可驅動記憶單元 44 之控制閘極至 3.3 伏特；相反地，若不需讀取記憶單元 80 所紀錄的資料，則電壓供應電路 66 提供 0 伏特予驅動電壓輸出電路 74，以便驅動電壓輸出電路 74 可驅動記憶單元 44 之控制閘極至 0 伏特。同理，當快閃記憶體 60 執行清除操作時，則電壓供應電路 38 便提供 -7 伏特與 0 伏特予行驅動電路 68，所以對於需清除其儲存資料的記憶單元 80 而言，其控制閘極會被驅動至 -7.5 伏特，而對於不需清除其儲存資料的記憶單元 80 而言，其控制閘極會被驅動至 0 伏特。換句話說，電壓供應電路 66 會依據快閃記憶體 60 目前係執行程式化操作、讀取操作或清除操作來提供不同的電壓準位予行驅動電路 68。

請參閱圖五，圖五為圖四所示之字元線驅動電路 72a 的電路示意圖。字元線驅動電路 72a 包含有一記憶區塊選取電



五、發明說明 (15)

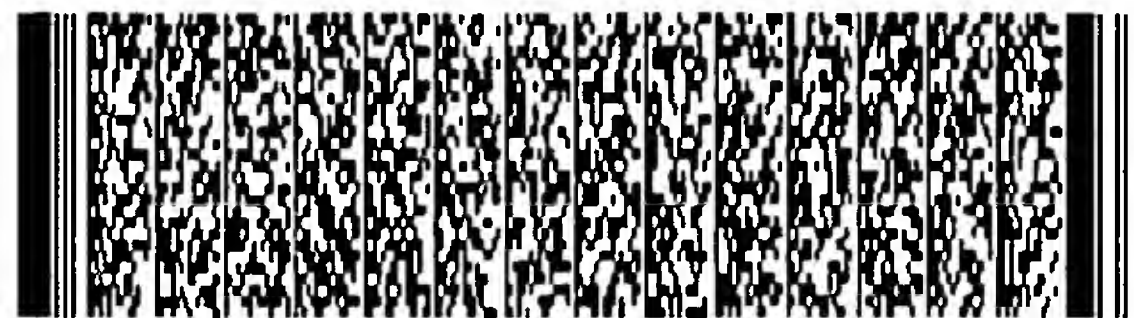
路 82a 以及複數個驅動單元 83a、83b、83c。記憶區塊選取電路 82a 包含有一 NAND 邏輯閘 84，複數個電晶體 86a、86b、86c、86d、86e、86f，以及複數個反相器 (inverter) 87a、87b、87c、87d、87e。各驅動單元 83a、83b、83c 分別對應一字元線，例如字元線驅動電路 72a 係用來控制八條字元線 $WL_0 \sim WL_7$ ，而驅動單元 83a 用來驅動字元線 WL_0 ，驅動單元 83b 用來驅動字元線 WL_2 ，以及驅動單元 83c 使用來驅動字元線 WL_7 。每一驅動單元 83a、83b、83c 的電路結構相同，以驅動單元 83a 為例，其包含有複數個電晶體 88a、88b、88c，其中電晶體 88b、88c 係為 N 型金屬氧化半導體電晶體，而電晶體 88a 係為 P 型金屬氧化半導體電晶體。電晶體 88a 係形成於一 N 型基底，例如一 N 型井 (N well)，且該基底係電連接於電壓 V_{nw} 。請注意，電壓 V_{nw} 的電壓準位係由基底電壓控制電路 76 所控制，而輸入各驅動單元 83a、83b、83c 的電壓 $(V_{in})_0 \sim (V_{in})$ 則由驅動電壓輸出電路 74 所控制，另外，輸入各驅動單元 83a、83b、83c 的電壓 V_{in}' 係由電壓供應電壓 66 所提供。於行驅動電路 68 中，各字元線驅動電路 72a 的電路架構類似，因此為了便於說明，僅使用字元線驅動電路 72a 的電路來說明。

如前所述，第一解碼電路 62 所輸出的第一解碼訊號 XP 係用來選取行驅動電路 68 中一字元線驅動電路，假設行驅動電路 68 包含有八個字元線驅動電路，其中字元線驅動



五、發明說明 (16)

電路 72a係為第一個字元線驅動電路，而字元線驅動電路 72b係為第八個字元線驅動電路，因此如業界所習知，利用三個解碼訊號 XPA、XPB、XPC即可達到於行驅動電路 68 中選取一字元線驅動電路的目的。舉例來說，解碼訊號 XPA可對應邏輯值 "1"或 "0"，解碼訊號 XPB可對應邏輯值 "1"或 "0"，以及解碼訊號 XPC可對應邏輯值 "1"或 "0"，因此依據解碼訊號 XPA、XPB、XPC的邏輯值可產生 2³種組合，所以當第一解碼訊號 XP由解碼訊號 XPA、XPB、XPC構成時，於八個字元線驅動電路中，便可依據解碼訊號 XPA、XPB、XPC來選取其中一字元線驅動電路。如圖五所示，解碼訊號 XPA、XPB、XPC需分別經由反相器 87c、87d、87e轉換為相對應的反相訊號後輸入 NAND邏輯閘 84，所以僅有當解碼訊號 XPA、XPB、XPC均對應邏輯值 "0"時，NAND邏輯閘 84的輸出端才會對應邏輯值 "1"，換句話說，此時字元線驅動電路 42a才會被選取。對於每一字元線驅動電路，其電路架構與字元線驅動電路 42a的電路架構相似，而唯一的不同之處在於輸入 NAND邏輯閘 84的訊號，以字元線驅動電路 72b為例，則輸入 NAND邏輯閘 84的訊號分別為解碼訊號 XPA，解碼訊號 XPB，以及解碼訊號 XPC，因此僅有當三個解碼訊號 XPA、XPB、XPC均對應邏輯值 "1"時，輸入 NAND邏輯閘 84的三個訊號才會均對應邏輯值 "1"而使 NAND邏輯閘 84輸出邏輯值 "0"，亦即此時字元線驅動電路 72b便會被選取。綜合上述，經由 NAND邏輯閘 84的設置，便可透過解碼訊號 XPA、XPB、XPC



五、發明說明 (17)

的邏輯值為 "1" 或 "0" 來決定八個字元線驅動電路中，哪一字元線驅動電路會被選取。

本實施例中，當三個解碼訊號 XPA、XPB、XPC 均對應邏輯值 "0" 時，字元線驅動電路 72a 之 NAND 邏輯閘 84 可輸出邏輯值 "0"，因此經由反相器 87a、87b 後，端點 B 會對應邏輯值 "0"，亦即端點 B 的電壓準位係為低電壓準位（例如接地電壓 GND），而對於端點 A 來說，電晶體 86a、86c、86f 會導通，電晶體 86b、86d、86e 則不會導通，所以端點 A 亦會對應邏輯值 "0"，亦即端點 A 的電壓準位為接地電壓 GND，因此電晶體 88a 便會導通，而電壓 $(V_{in})_0 \sim (V_{in})_7$ 則可驅動相對應字元線 $WL_0 \sim WL_7$ ；相反地，當三個解碼訊號 XPA、XPB、XPC 並非均對應邏輯值 "0" 時，NAND 邏輯閘 46 則會輸出邏輯值 "1"，因此經由反相器 87a、87b 後，端點 B 會對應邏輯值 "1"，亦即端點 B 的電壓準位係為高於接地電壓 GND 的正電壓，而對於端點 A 來說，電晶體 86b、86d、86e 會導通，電晶體 86a、86c、86f 則不會導通，所以端點 A 會對應邏輯值 "1"，亦即端點 A 的電壓準位為電壓 V_{nw} （亦即電晶體 88a 之基底電壓），因此電晶體 88a 便無法導通，而由於電晶體 88b 導通，所以電壓 V_{in}' 便會驅動字元線 $WL_0 \sim WL_7$ 。

請參閱圖六，圖六為圖四所示之基底電壓控制電路 76 的電路示意圖。基底電壓控制電路 76 包含有複數個電晶體



五、發明說明 (18)

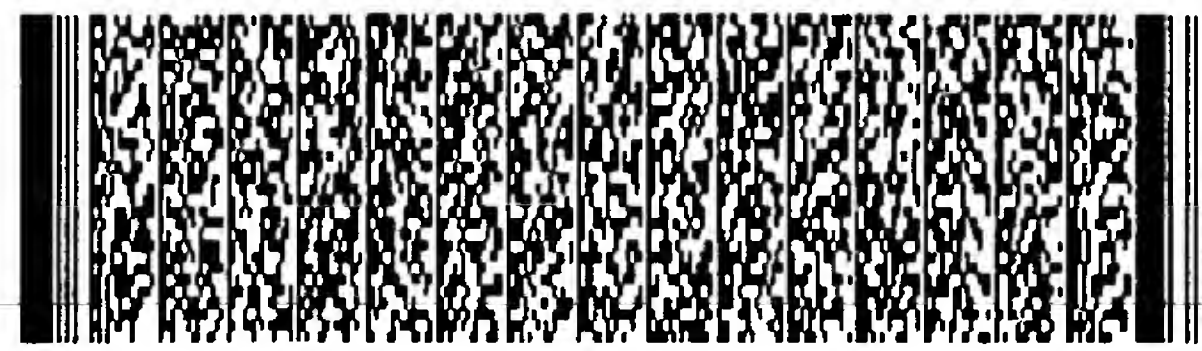
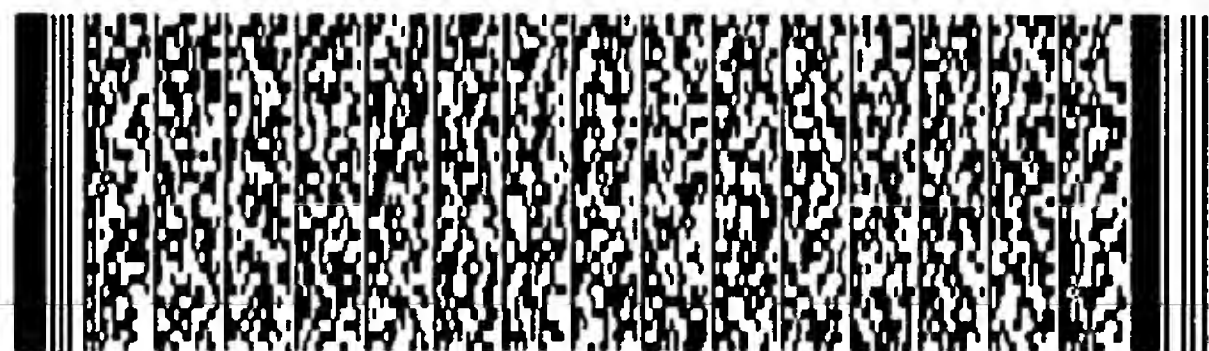
90a、90b、90c、90d、90e、90f、90g、90h以及二反相器92a、92b。若快閃記憶體60執行程式化操作或讀取操作，則輸入訊號NEGWL會對應邏輯值"0"，亦即輸入訊號NEGWL係為接地電壓，所以電晶體90e維持關閉狀態，而電晶體90c會導通，此外，反相器92a的輸出端會對應邏輯值"1"，亦即反相器92a的輸出端係為高電壓準位（例如電壓 V_{pp} ），所以電晶體90f會導通，而電晶體90d則維持關閉狀態。隨著電晶體90f的導通，因此端點C會電連接於接地端GND而對應接地電壓，所以電晶體90a亦會導通，並造成端點D趨近電壓 V_{pp} 而使電晶體90b維持關閉狀態。明顯地，反相器92b的輸出端會對應接地電壓，所以電晶體90h係維持關閉狀態，而電晶體90g會導通而驅使電壓 V_{nw} 等於電壓 V_{pp} 。換句話說，若快閃記憶體60執行程式化操作或讀取操作時，則電壓 V_{nw} 會被基底電壓控制電路76設定為電壓 V_{pp} （例如8.5伏特）。相反地，若快閃記憶體60執行清除操作，則輸入訊號NEGWL會對應邏輯值"1"，亦即輸入訊號NEGWL係為高電壓準位（例如電壓 V_{pp} ），所以電晶體90c維持關閉狀態，而電晶體90e會導通而導致端點D電連接於接地端GND，此外，反相器92a的輸出端對應邏輯值"0"，亦即反相器92a的輸出端係為接地電壓，所以電晶體90d會導通，而電晶體90f則維持關閉狀態。隨著電晶體90e的導通而驅使端點D對應接地電壓，因此電晶體90b亦會導通，並造成端點C趨近電壓 V_{pp} ，同時電晶體90a會維持關閉狀態。明顯地，反相器



五、發明說明 (19)

92b的輸出端會對應高電壓準位（例如電壓 V_{pp} ），所以最後電晶體 90g維持關閉狀態，而電晶體 90h會導通而驅使電壓 V_{nw} 等於接地電壓，換句話說，若快閃記憶體 60執行清除操作時，則電壓 V_{nw} 會被基底電壓控制電路 76設定為接地電壓（例如 0伏特）。

請參閱圖七，圖七為圖四所示之驅動電壓輸出電路 74的電路示意圖。驅動電壓輸出電路 74包含有複數個輸出單元 94a、94b，由圖五可知，若字元線驅動電路 82用來驅動八條字元線 $WL_0 \sim WL_7$ 的電壓準位，則驅動電壓輸出電路 74便需包含有八個輸出單元 94a、94b以分別設定各驅動單元 83a、83b、83c所需的電壓 $(V_{in})_0 \sim (V_{in})_7$ ，亦即於圖七中，輸出單元 94a係用來設定電壓 $(V_{in})_0$ ，而輸出單元 94b則用來設定電壓 $(V_{in})_7$ 。每一輸出單元 94a、94b對應相同的電路架構，以輸出單元 94a為例，其包含有複數個電晶體 96a、96b、96c、96d、96e、96f、96g、96h以及一反相器 98。若快閃記憶體 60執行程式化操作，則電壓供應電路 66所提供之電壓 V_{set} 會對應前述電壓 V_{pp} （例如 8.5伏特），若字元線 WL_0 上的記憶單元 80需程式化，則第二解碼電路 64所輸出的第二解碼訊號 XT 會用來選取字元線 WL_0 ，亦即當第二解碼訊號 XT 由解碼訊號 $XT_0 \sim XT_7$ 構成時，其中解碼訊號 XT_0 便會對應邏輯值 "1"，而其餘解碼訊號 $XT_1 \sim XT_7$ 此時則會對應邏輯值 "0"。對於輸出單元 94a來說，反相器 98的輸出端便對應邏輯值 "0"，亦即反相器 98



五、發明說明 (20)

的輸出端即為接地電壓，所以電晶體 96e維持關閉狀態，而電晶體 96c會導通，此外，由於解碼訊號 XT 對應高電壓準位（例如電壓 Vset），所以電晶體 96f會導通，而電晶體 96d則維持關閉狀態。隨著電晶體 96f的導通，因此端點 E會電連接於接地端 GND而對應接地電壓，所以電晶體 96a亦會導通，並造成端點 F趨近電壓 Vset而使電晶體 96b維持關閉狀態。明顯地，電晶體 90h維持關閉狀態，而電晶體 90g會導通而驅使電壓 (Vin)等於電壓 Vset。相反地，對於未被選取的解碼訊號 XT₁~XT來說，則相對應的解碼訊號 XT₁~XT會是邏輯值 "0"，亦即解碼訊號 XT₁~XT係為接地電壓，所以反相器 98的輸出端係為邏輯值 "1"而對應高電壓準位（例如電壓 Vset），因此電晶體 96c維持關閉狀態，而電晶體 96e會導通而導致端點 F電連接於接地端 GND，此外，電晶體 96d會導通，而電晶體 96f則維持關閉狀態。隨著電晶體 96e的導通，所以電晶體 96e會驅使端點 F對應接地電壓，因此電晶體 96b亦會導通，並造成端點 E趨近電壓 Vset，同時電晶體 96a會維持關閉狀態。明顯地，電晶體 96g維持關閉狀態，而電晶體 96h則會導通而驅使電壓 (Vin)等於接地電壓。若快閃記憶體 60執行讀取操作，則電壓供應電路 66所提供之電壓 Vset會對應一電壓 Vdd（例如 3伏特），以及若快閃記憶體 60執行清除操作，則電壓供應電路 66所提供之電壓 Vset會對應接地電壓（例如 0伏特），而驅動電壓輸出電路 74的相對應運作如上所述而不再重複贅述。綜合上述，驅動電壓輸



五、發明說明 (21)

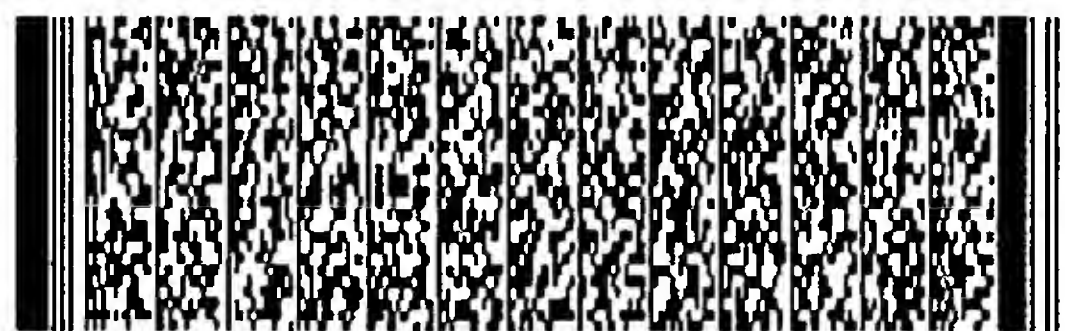
出電路 74 依據電壓供應電路 66 所提供之電壓 V_{set} 以及第二解碼電路 64 所提供的解碼訊號 $XT_0 \sim XT$ 來控制輸出之電壓 $(V_{in})_0 \sim (V_{in})$ 的電壓準位。

請同時參閱圖四至圖七，字元線驅動電路 72a 的運作詳述如下。

(一) 讀取操作

此時，電壓供應電路 66 所提供之電壓 V_{in}' 會對應接地電壓（亦即 0 伏特），以及對於需讀取儲存資料的記憶單元 80 而言，驅動電壓輸出電路 74 會驅使相對應電壓 $(V_{in})_0, \dots, (V_{in})$ 對應 +3 伏特，相反地，對於不需讀取儲存資料的記憶單元 80 而言，驅動電壓輸出電路 74 會驅使相對應電壓 $(V_{in})_0, \dots, (V_{in})$ 對應接地電壓（亦即 0 伏特），如圖七所示，電壓 V_{set} 等於 +3 伏特。此外，由於目前係執行讀取操作，因此如圖六所示，電壓 V_{pp} 等於 +8.5 伏特，亦即基底電壓控制電路 76 會控制電壓 V_{nw} 對應 +8.5 伏特。

若需讀取儲存資料的記憶單元 80 位於記憶區塊 70a 之字元線 WL_0 上，則第一解碼電路 62 所輸出之第一解碼訊號 XP 會選取字元線驅動電路 72a，亦即記憶區塊選取電路 82a 會依據解碼訊號 XPA 、 XPB 、 XPC 來設定端點 A、B 對應邏輯



五、發明說明 (22)

值 "0"，所以每一驅動單元 83a、83b、83c 之電晶體 88a 均會導通，而每一驅動單元 83a、83b、83c 之電晶體 88b 均維持關閉狀態。由於需讀取儲存資料的記憶單元 80 位於記憶區塊 70a 之字元線 WL_0 上，因此第二解碼電路 64 所輸出的第二解碼訊號 XT 中，解碼訊號 XT_0 會對應邏輯值 "1"，而其餘解碼訊號 $XT_0 \sim XT$ 則對應邏輯值 "0"，由圖七可知，電壓 $(Vin)_0$ 會驅動至電壓 V_{set} (亦即 +3 伏特)，而電壓 $(Vin)_1 \sim (Vin)_7$ 則成為接地電壓。明顯地，由圖五可知字元線 WL_0 的電壓準位會驅動至電壓 $(Vin)_0$ ，因此字元線 WL_0 便可傳輸 +3 伏特的電壓值，所以位於記憶區塊 70a 之字元線 WL_0 上的記憶單元 80 所儲存之資料即可成功地被讀取。相反地，其餘的字元線 $WL_1 \sim WL_7$ 的電壓準位會驅動至相對應電壓 $(Vin)_1 \sim (Vin)_7$ ，亦即字元線 $WL_1 \sim WL_7$ 係傳輸接地電壓 (0 伏特)，因此位於字元線 $WL_1 \sim WL_7$ 上的記憶單元 80 所記錄的資料無法被讀取。

若需讀取儲存資料的記憶單元 80 位於記憶區塊 70b 之字元線 WL_0 上，則第一解碼電路 62 所輸出之第一解碼訊號 XP 會選取字元線驅動電路 72b，而非字元線驅動電路 72a，因此對於字元線驅動電路 72a 而言，其記憶區塊選取電路 82a 會依據對應字元線驅動電路 72b 之解碼訊號 XPA 、 XPB 、 XPC 來設定端點 A、B 對應邏輯值 "1"，所以每一驅動單元 83a、83b、83c 之電晶體 88a 均維持關閉狀態，而每一驅動單元 83a、83b、83c 之電晶體 88b 均會導通。由於



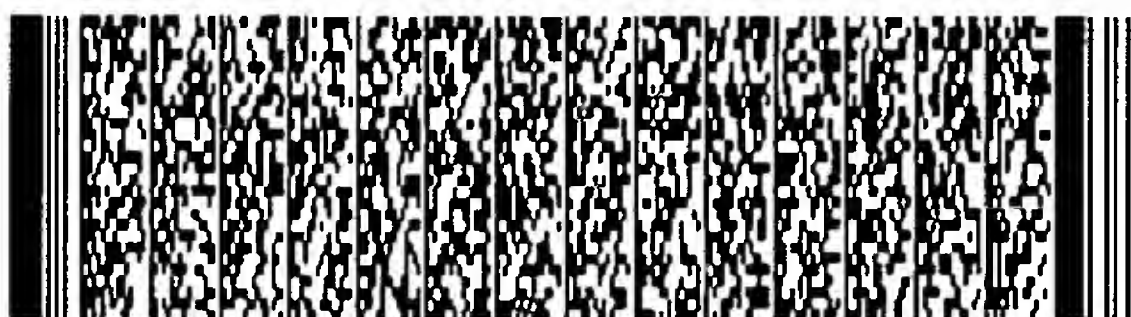
五、發明說明 (23)

記憶區塊 70a 中的記憶單元 80 所記錄的資料均不需被讀取，因此當每一驅動單元 83a、83b、83c 之電晶體 88b 均導通後，電壓 V_{in}' 會驅動每一字元線 $WL_0 \sim WL$ 的電壓準位，請注意，於讀取操作中，電壓 V_{in}' 係為接地電壓，換句話說，位於字元線 $WL_0 \sim WL$ 上的記憶單元 80 所記錄的資料此時便無法被讀取。

(二) 程式化操作

此時，電壓供應電路 66 所提供之電壓 V_{in}' 會對應接地電壓（亦即 0 伏特），以及對於需程式化的記憶單元 80 而言，驅動電壓輸出電路 74 會驅使相對應電壓 $(V_{in})_0$ 、 \dots 、 (V_{in}) 對應 +8.5 伏特，相反地，對於不需被程式化的記憶單元 80 而言，驅動電壓輸出電路 74 會驅使相對應電壓 $(V_{in})_0$ 、 \dots 、 (V_{in}) 對應接地電壓（亦即 0 伏特），如圖七所示，電壓 V_{set} 等於 +8.5 伏特。此外，由於目前係執行程式化操作，因此如圖六所示，電壓 V_{pp} 等於 +8.5 伏特，亦即基底電壓控制電路 76 會控制電壓 V_{nw} 對應 +8.5 伏特。

若需程式化的記憶單元 80 位於記憶區塊 70a 之字元線 WL_0 上，則第一解碼電路 62 所輸出之第一解碼訊號 XP 會選取字元線驅動電路 72a，亦即記憶區塊選取電路 82a 會依據解碼訊號 XPA 、 XPB 、 XPC 來設定端點 A、B 對應邏輯



五、發明說明 (24)

值 "0"，所以每一驅動單元 83a、83b、83c之電晶體 88a均會導通，而每一驅動單元 83a、83b、83c之電晶體 88b均維持關閉狀態。由於需程式化的記憶單元 80位於記憶區塊 70a之字元線 WL_0 上，因此第二解碼電路 64所輸出的第二解碼訊號 XT 中，解碼訊號 XT_0 會對應邏輯值 "1"，而其餘解碼訊號 $XT_0 \sim XT$ 則對應邏輯值 "0"，由圖七可知，電壓 $(Vin)_0$ 會驅動至電壓 V_{set} (亦即 +8.5伏特)，而電壓 $(Vin)_1 \sim (Vin)$ 則成為接地電壓。明顯地，由圖五可知字元線 WL 的電壓準位會驅動至電壓 $(Vin)_0$ ，因此字元線 WL_0 便傳輸 +8.5伏特的電壓值，所以便可成功地程式化位於記憶區塊 70a之字元線 WL_0 上的記憶單元 80。相反地，其餘的字元線 $WL_1 \sim WL$ 的電壓準位會驅動至相對應電壓 $(Vin)_1 \sim (Vin)_7$ ，亦即字元線 $WL_1 \sim WL$ 係傳輸接地電壓 (0伏特)，所以位於字元線 $WL_1 \sim WL$ 上的記憶單元 80便無法被程式化。

若需程式化的記憶單元 80位於記憶區塊 70b之字元線 WL_0 上，則第一解碼電路 62所輸出之第一解碼訊號 XP 會選取字元線驅動電路 72b，而非字元線驅動電路 72a，因此對於字元線驅動電路 72a而言，其記憶區塊選取電路 82a會依據對應字元線驅動電路 72b之解碼訊號 XPA 、 XPB 、 XPC 來設定端點 A、B對應邏輯值 "1"，所以每一驅動單元 83a、83b、83c之電晶體 88a均維持關閉狀態，而每一驅動單元 83a、83b、83c之電晶體 88b均會導通。由於記憶



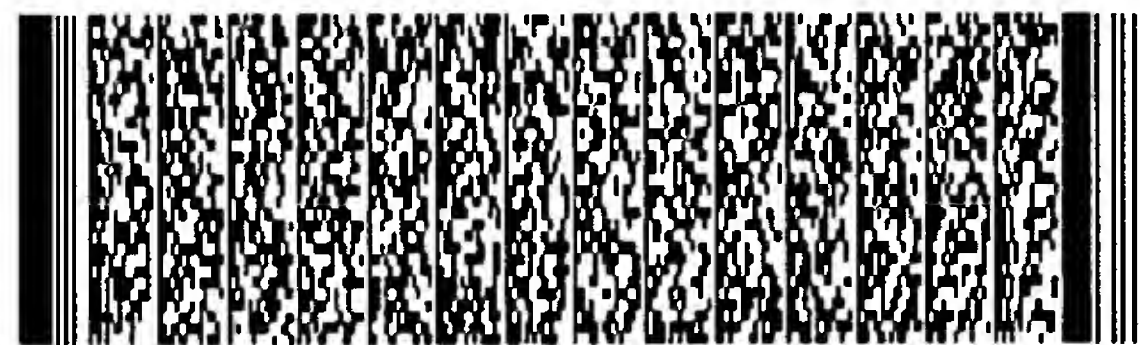
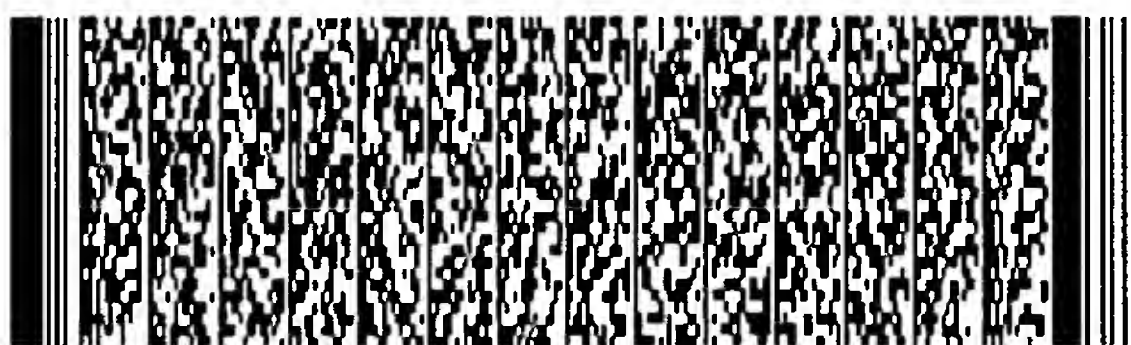
五、發明說明 (25)

區塊 70a 中的記憶單元 80 所記錄的資料均不需被程式化，因此當每一驅動單元 83a、83b、83c 之電晶體 88b 均導通後，電壓 V_{in}' 會驅動每一字元線 $WL_0 \sim WL$ 的電壓準位，請注意，於程式化操作中，電壓 V_{in}' 係為接地電壓，換句話說，位於字元線 $WL_0 \sim WL$ 上的記憶單元 80 所記錄的資料此時便無法被程式化。

(三) 清除操作

此時，電壓供應電路 66 所提供之電壓 V_{in}' 會對應一負電壓（亦即 -7 伏特），以及驅動電壓輸出電路 74 會驅使相對應電壓 $(V_{in})_0, \dots, (V_{in})$ 對應接地電壓（亦即 0 伏特），如圖七所示，電壓 V_{set} 等於 0 伏特。此外，由於目前係執行清除操作，因此如圖六所示，輸入訊號 $NEGWL$ 會對應邏輯值 "1"，所以接地電壓會驅動電壓 V_{nw} 等於 0 伏特，亦即基底電壓控制電路 76 會控制電壓 V_{nw} 對應 0 伏特。

當欲清除快閃記憶體 60 中所有記憶單元 80 所儲存的資料時，若第一解碼電路 62 所輸出之第一解碼訊號 XP 選取到字元線驅動電路 72a，亦即記憶區塊選取電路 82a 會依據解碼訊號 XPA 、 XPB 、 XPC 來設定端點 A、B 對應邏輯值 "0"，請注意，每一驅動單元 83a、83b、83c 之電晶體 88a 的基底此時電連接於接地電壓，而每一驅動單元



五、發明說明 (26)

83a、83b、83c之電晶體 88b則電連接於負電壓，所以當接地電壓輸入每一驅動單元 83a、83b、83c之電晶體 88a、88b的閘極 (gate) 時，每一驅動單元 83a、83b、83c之電晶體 88a均維持關閉狀態，而每一驅動單元 83a、83b、83c之電晶體 88b均會導通，因此電壓 V_{in}' 便會經由每一驅動單元 83a、83b、83c之電晶體 88b來驅動 $(V_{in})_0$ 、 \dots 、 (V_{in}) 對應 -7伏特，換句話說，便可成功地清除位於記憶區塊 70a中的所有記憶單元 80所記錄的資料。

另外，當欲清除快閃記憶體 60中所有記憶單元 80所儲存的資料時，若第一解碼電路 62所輸出之第一解碼訊號 XP 選取到字元線驅動電路 72b，則對於字元線驅動電路 72a而言，端點 A 會對應電壓 V_{nw} 而趨近接地電壓，所以一驅動單元 83a、83b、83c之電晶體 88a均維持關閉狀態，而端點 B 的電壓準位則足以導通每一驅動單元 83a、83b、83c之電晶體 88b，因此電壓 V_{in}' 便會經由每一驅動單元 83a、83b、83c之電晶體 88b來驅動 $(V_{in})_0$ 、 \dots 、 $(V_{in})_7$ 對應 -7伏特，換句話說，當快閃記憶體 60執行清除操作時，行驅動電路 68中每一字元線驅動電路 72a、72b所對應的字元線 $WL_0 \sim WL$ 均會驅動至電壓 V_{in}' 而對應 -7伏特，所以快閃記憶體 60中所有記憶單元 80便可成功地完成清除儲存資料的運作。

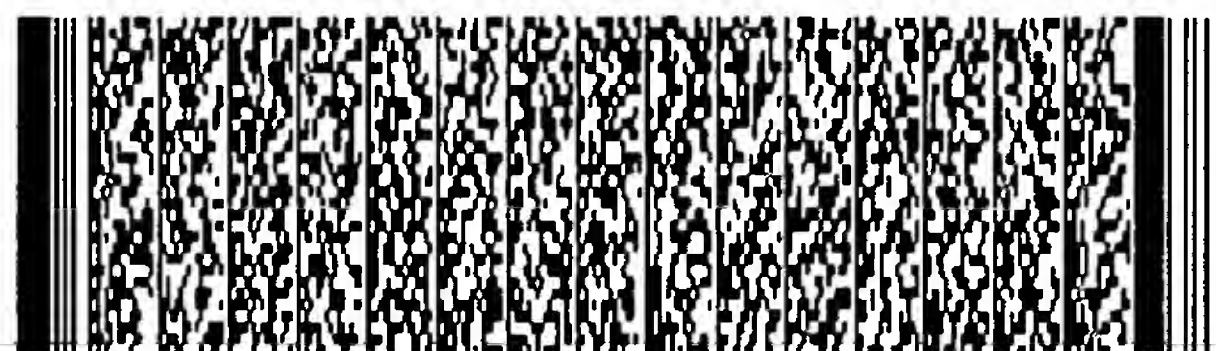
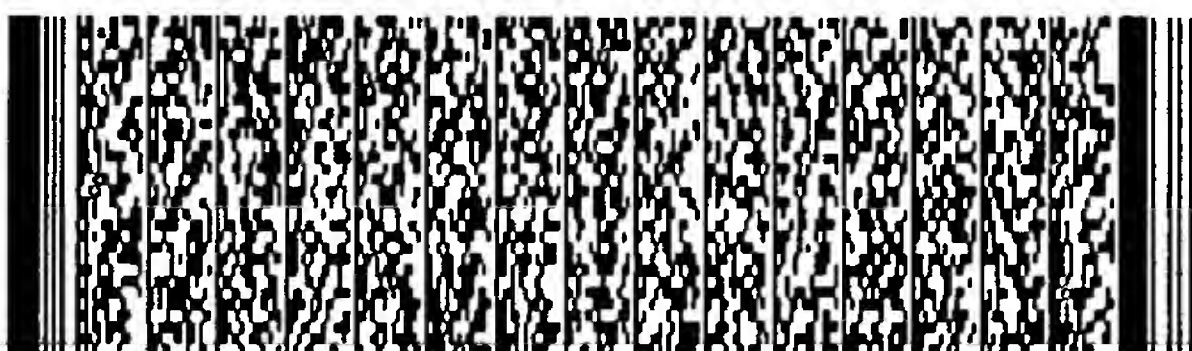
請注意，於執行清除操作時，如上所述，接地電壓會輸



五、發明說明 (27)

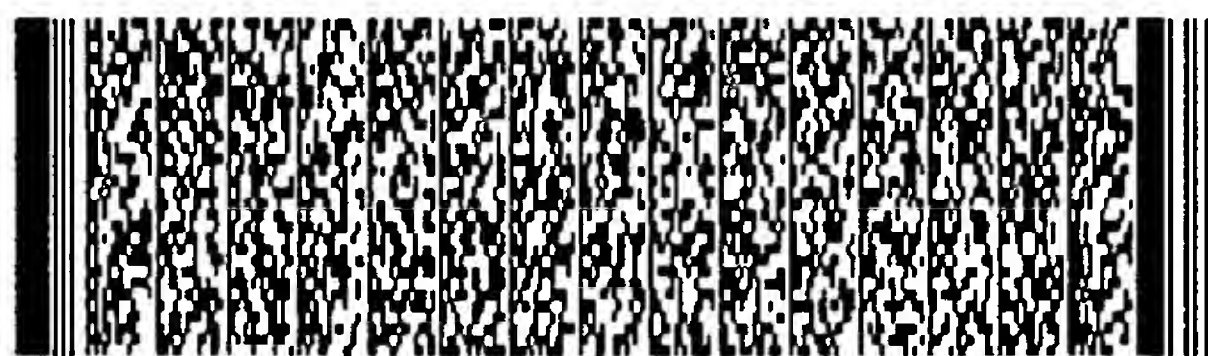
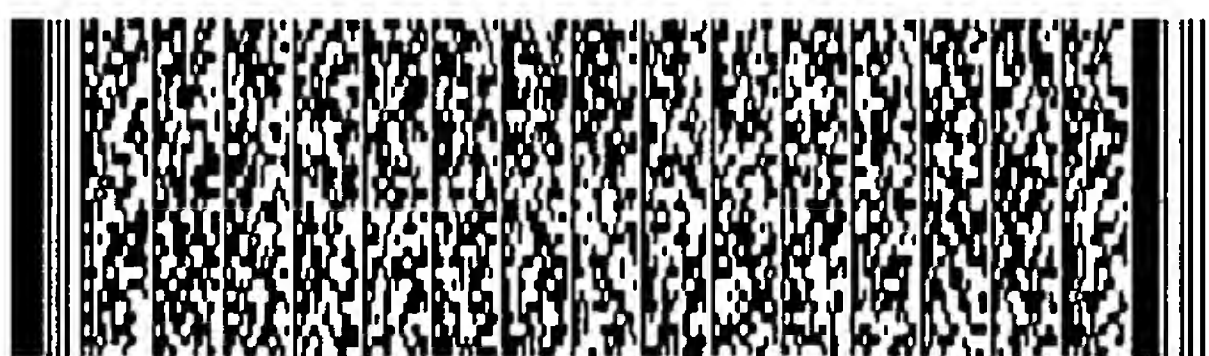
入電晶體 88a、88b，且當電晶體 88b導通時，電晶體 88a之汲極 (drain) 會趨近電壓 V_{in}' 而對應 -7伏特，而電晶體 88a之源極 (source) 則會受驅動電壓輸出電路 74控制而趨近接地電壓，因此，若電壓 V_{nw} 仍維持讀取操作或程式化操作時所對應的電壓準位 (亦即 +8.5伏特) ，則電晶體 88a之汲極與其基底之間會對應一極大的逆向偏壓 (15.5伏特) ，則電晶體 88a之汲極與其基底之間可能因為電晶體接面崩潰效應 (junction breakdown) 而導通，並造成清除操作無法順利地完成，所以本發明揭露一基底電壓控制電路 74，其可於快閃記憶體 60執行清除操作時，驅動電晶體 88a之基底電壓 V_{nw} 對應接地電壓，因此可避免上述逆向偏壓過大的情形。

如上所述，於快閃記憶體 60執行讀取操作或程式化操作時，當一預定字元線驅動電路 (例如字元線驅動電路 72a) 啟動時，每一驅動單元 83a、83b、83c之電晶體 88a均會導通，因此電壓 $(V_{in})_0 \sim (V_{in})$ 便可分別驅動相對應字元線 $WL_0 \sim WL_7$ ，換句話說，各個電壓 $(V_{in})_0 \sim (V_{in})$ 的電壓準位便決定相對應字元線 $WL_0 \sim WL_7$ 上的記憶單元 80是否需被程式化或被讀取其儲存之資料。舉例來說，假設字元線 WL_0 上的記憶單元 80需被程式化或被讀取其儲存之資料，因此驅動電壓輸出電路 74所提供的電壓 (V_{in}) 便會對應正電壓 (例如 +8.5伏特或 +3伏特) ，因此 +8.5伏特 (程式化操作) 或 +3伏特 (讀取操作) 便經由電晶體 88a



五、發明說明 (28)

傳輸至字元線 WL_0 。相反地，若字元線 WL_0 上的記憶單元 80 不需被程式化或被讀取其儲存之資料，因此驅動電壓輸出電路 74 所提供的電壓 (V_{in}) 便會對應接地電壓 (例如 0 伏特)，因此 0 伏特的電壓準位 (程式化操作或讀取操作) 便經由電晶體 88a 傳輸至字元線 WL_0 ，然而，電晶體 88a 係為一 P 型金屬氧化半導體電晶體，若電晶體 88a 導通所對應的臨界電壓 (threshold voltage) 為 V_{tp} (負電壓)，因此對於驅動單元 83a 來說，當電晶體 88a 之閘極輸入接地電壓時，電晶體 88a 會導通，若輸入電晶體 88a 之源極的電壓 (V_{in}) 係為正電壓，則字元線 WL 最後會對應電壓 (V_{in})₀，然而，若輸入電晶體 88a 之汲極的電壓 (V_{in}) 係為接地電壓，則當字元線 WL 的電壓準位小於 $-V_{tp}$ ，則電晶體 88a 之閘極與源極之電壓差便小於 $-V_{tp}$ 而無法導通，亦即字元線 WL 的電壓準位最後會趨近 $-V_{tp}$ 而偏離預定的接地電壓。換句話說，P 型金屬氧化半導體電晶體對於邏輯值 "1" 有較佳的傳輸特性，相反地，如業界所習知，N 型金屬氧化半導體電晶體則對於邏輯值 "0" 有較佳的傳輸特性。因此，為了改善電晶體 88a 不善於傳輸接地電壓至相對應字元線 $WL_0 \sim WL$ 的缺點，因此本實施例揭露於每一驅動單元 83a、83b、83c 中設置有電晶體 88c 來輔助電晶體 88a 驅動字元線 $WL_0 \sim WL$ 等於接地電壓，因此使得快閃記憶體 60 可正確地運作，而電晶體 88c 是否導通則由圖四所示之字元線重置電路 78 所輸出的電壓 (V_{rst})₀ ~ (V_{rst}) 來控制。



五、發明說明 (29)

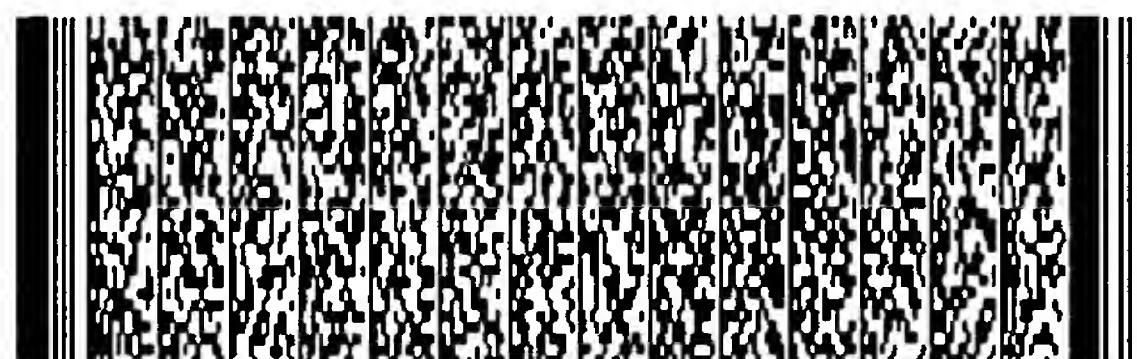
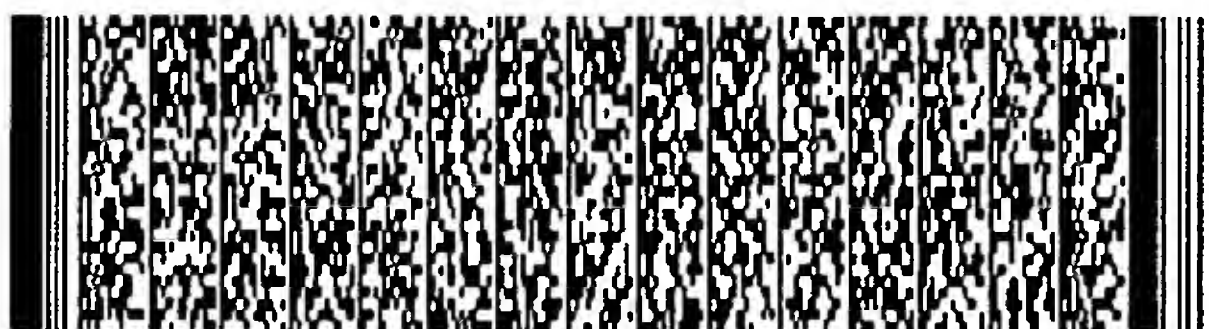
請參閱圖八，圖八為圖四所示之字元線重置電路 78 的電路示意圖。字元線重置電路 78 包含有複數個電壓準位重置單元 100a、100b，請注意，圖八中僅顯示兩電壓準位重置單元 100a、100b 以便於說明字元線重置電路 78 的運作。電壓準位重置單元 100a、100b 對應相同的電路架構，以電壓準位重置單元 100a 為例，其包含有兩 NOR 邏輯閘 102a、102b，一 NAND 邏輯閘 104，兩反向器 106a、106b，以及兩電晶體 108a、108b。如圖五所示，字元線驅動電路 72a 包含有 8 個驅動單元，因此字元線重置電路 78 則包含有八個電壓準位重置單元，分別用來輸出電壓 $(Vrst)_0 \sim (Vrst)_7$ ，其中電壓準位重置單元 100a 係用來控制電壓 $(Vrst)_0$ 的電壓準位，而電壓準位重置單元 100b 則係用來控制電壓 $(Vrst)_1$ 的電壓準位。若快閃記憶體 60 執行清除操作時，則輸入訊號 NEGWL 會對應邏輯值 "1"，因此對於電壓準位重置單元 100a 而言，不論解碼訊號 XT 的邏輯值為 "1" 或 "0"，NOR 邏輯閘 102a 的輸出端必定對應邏輯值 "0" 而輸入 NAND 邏輯閘 104 與 NOR 邏輯閘 102b，由於 NAND 邏輯閘 104 之一輸入端對應邏輯值 "0"，所以端點 G 必定對應邏輯值 "1"，此時，NOR 邏輯閘 102b 的兩輸入端均對應邏輯值 "0"，因此端點 H 會對應邏輯值 "1"。最後，電晶體 108a 維持關閉狀態，而電晶體 108b 則會導通而驅使電壓 $(Vrst)_1$ 成為接地電壓。同樣的道理，當輸入訊號 NEGWL 對應邏輯值 "1" 時，電壓 $(Vrst)_1 \sim (Vrst)_7$ 亦會成為



五、發明說明 (30)

接地電壓，換句話說，當快閃記憶體 60 執行清除操作時，由於對應各字元線 $WL_0 \sim WL$ 的電晶體 88b 皆導通而驅使各字元線 $WL_0 \sim WL$ 的電壓準位成為電壓 V_{in}' (-7 伏特)，因此對應各字元線 $WL_0 \sim WL$ 的電晶體 88c 並不需導通，因此字元線重置電路 78 會輸出對應接地電壓的電壓 $(V_{rst})_1 \sim (V_{rst})_n$ 至相對應驅動單元 83a、83b、83c 之電晶體 88c 的閘極。

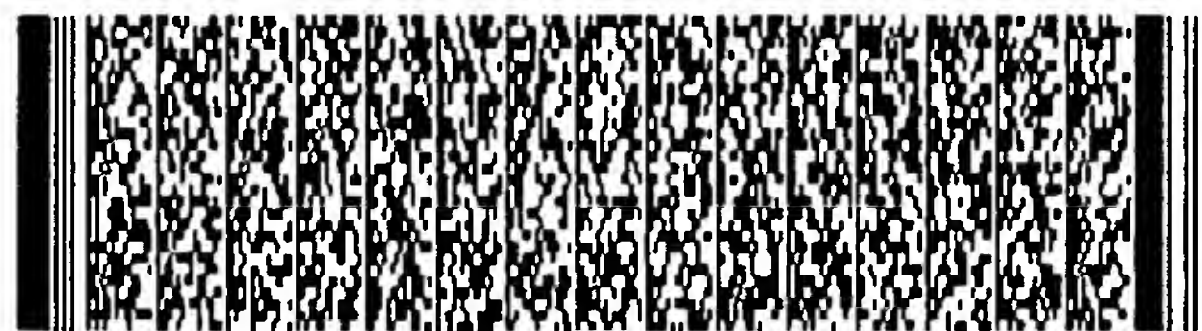
若快閃記憶體 60 執行程式化操作或讀取操作時，則輸入訊號 $NEGWL$ 會對應邏輯值 "0"，當字元線驅動電路 72a 所驅動之字元線 WL_0 上的記憶單元 80 需被程式化或被讀取，則如前所述，字元線驅動電路 72a 會被選取，且解碼訊號 XT_0 會對應邏輯值 "1"，而驅動電壓輸出電路 74 (如圖七所示) 會驅使電壓 (V_{in}) 對應 +8.5 伏特 (程式化操作) 或 +3 伏特 (讀取操作)，因此電壓 (V_{in}) 便經由電晶體 88a 傳輸至字元線 WL_0 ，由於電晶體 88a 係為 P 型金屬氧化半導體電晶體，以及電壓 (V_{in}) 係為正電壓而輸出電流至字元線 WL_0 ，亦即電晶體 88a 係視為傳導邏輯值 "1" 而對應較佳的傳輸特性，明顯地，電晶體 88c 此時不需導通，因此對於電壓準位重置單元 100a 而言，由於解碼訊號 XT 對應邏輯值 "1"，所以 NOR 邏輯閘 102 的輸出端必定對應邏輯值 "0" 而輸入 NAND 邏輯閘 104 與 NOR 邏輯閘 102b，由於 NAND 邏輯閘 104 之一輸入端對應邏輯值 "0"，所以端點 G 必定對應邏輯值 "1"，此時，NOR 邏輯閘 102b 的兩輸入端均對應



五、發明說明 (31)

邏輯值 "0"，因此端點 H 會對應邏輯值 "1"。最後，電晶體 108a 維持關閉狀態，而電晶體 108b 則會導通而驅使電壓 (V_{rst}) 成為接地電壓，所以電晶體 88c 維持關閉狀態。

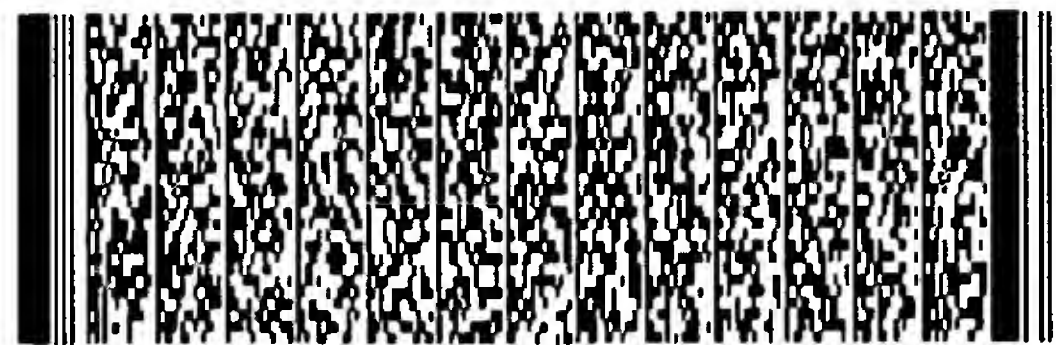
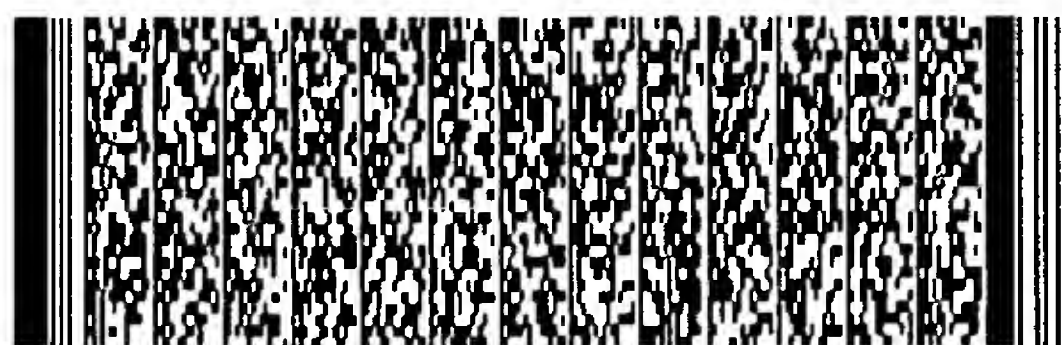
當字元線驅動電路 72a 所驅動之字元線 WL 上的記憶單元 80 需被程式化或被讀取，則如前所述，字元線驅動電路 72a 會被選取，以及解碼訊號 XT 會對應邏輯值 "1"，然而對於未選取的解碼訊號 XT 來說，其會對應邏輯值 "0"，此外驅動電壓輸出電路 74 (如圖七所示) 會驅使電壓 (V_{in}) 對應 0 伏特 (程式化操作或讀取操作)，因此電壓 (V_{in}) 便經由電晶體 88a 傳輸至字元線 WL，由於電晶體 88a 係為 P 型金屬氧化半導體電晶體，以及電壓 (V_{in}) 係為接地電壓而汲取字元線 WL 輸出的電流，亦即電晶體 88a 係視為傳導邏輯值 "0" 而對應不佳的傳輸特性，明顯地，電晶體 88c 此時便需導通以輔助電晶體 88a 驅動字元線 WL 對應接地電壓。因此，對於電壓準位重置單元 100a 而言，由於解碼訊號 XT 對應邏輯值 "0"，所以 NOR 邏輯閘 102 的輸出端必定對應邏輯值 "1" 而輸入 NAND 邏輯閘 104 與 NOR 邏輯閘 102b，由於 NOR 邏輯閘 102b 之一輸入端對應邏輯值 "1"，所以端點 H 必定對應邏輯值 "0"，此時，NAND 邏輯閘 104 的兩輸入端均對應邏輯值 "1"，因此端點 G 會對應邏輯值 "0"。最後，電晶體 108b 維持關閉狀態，而電晶體 108a 則會導通而驅使電壓 (V_{rst}) 成為電壓 V_{dd} (例如 +3 伏特)，所以電晶體 88c 會啟動，由於電晶體 88c 係為 N 型金屬氧化半導體電晶



五、發明說明 (32)

體，因此其對於邏輯值 "0" 有較佳的傳輸特性，換句話說，字元線 WL 的電壓準位可十分趨近接地電壓。

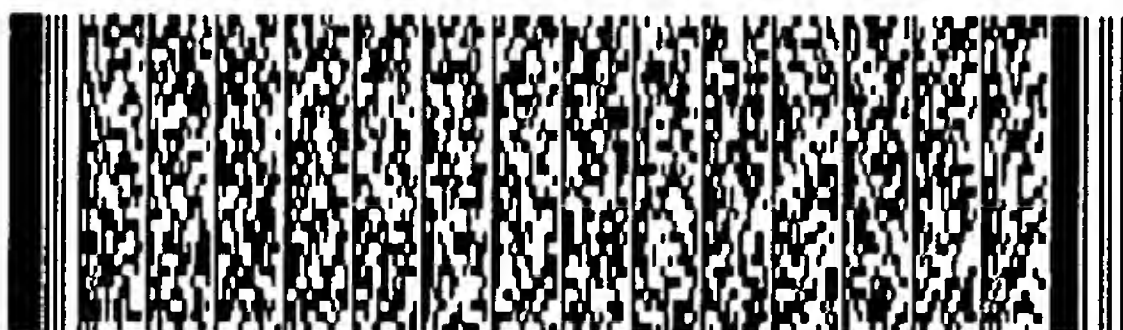
請注意，本實施例中，同一驅動電壓輸出電路 74 可應用於行驅動電路 68 中所有字元線驅動電路 72a、72b，舉例來說，驅動電壓輸出電路 74 之輸出單元 94a 所產生的電壓 (V_{in}) 同時輸出至字元線驅動電路 72a、72b，若字元線驅動電路 72b 之相對應字元線 WL_0 上的記憶單元 80 需被程式化時，電壓 (V_{in}) 會傳輸至字元線驅動電路 72b 之相對應字元線 WL_0 ，然而，字元線驅動電路 72a 之相對應字元線 WL_0 上的記憶單元 80 並不需被程式化，如前所述，同一電壓 (V_{in}) 亦會輸出至字元線驅動電路 72a，由圖五可知，雖然電壓 (V_{in}) 此時為 +8.5 伏特，然而由於字元線驅動電路 72a 之相對應字元線 WL_0 上的記憶單元 80 並不需被程式化，所以字元線驅動電路 72a 不會被選取，亦即對於驅動單元 83a 而言，電晶體 88a 維持關閉狀態，因此電壓 (V_{in}) 並不會用來驅動字元線驅動電路 72a 之相對應字元線 WL 的電壓準位，換句話說，雖然本實施例中，同一驅動電壓輸出電路 74 應用於行驅動電路 68 中所有字元線驅動電路 72a、72b，然而字元線驅動電路 72a、72b 仍可正確地運作。同樣地，同一基底電壓控制電路 76 以及同一字元線重置電路 78 均可應用於行驅動電路 68 中所有字元線驅動電路 72a、72b 上。



五、發明說明 (33)

本發明快閃記憶體係應用習知互補金屬氧化半導體電晶體 (complementary metal oxide semiconductor, CMOS) 製程所形成，而相較於習知技術，本發明快閃記憶體揭露同一驅動電壓輸出電路應用於複數個字元線驅動電路，依據圖三所示之習知字元線驅動電路 42a 可知於控制八條字元線 $WL_0 \sim WL$ 的架構下，其大約需要 90 個電晶體，然而，依據圖五所示之本發明字元線驅動電路 72a 可知，於控制八條字元線 $WL_0 \sim WL$ 的架構下，其大約僅需要 40 個電晶體，所以，若本發明字元線驅動電路應用於 N 條 (例如 512 條) 字元線的架構，則相較於習知字元線驅動電路，本發明字元線驅動電路更可大幅地降低電晶體的數目。請注意，雖然本發明快閃記憶體另設置有一驅動電壓輸出電路，一基底電壓控制電路，以及一字元線重置電路，用來控制複數個字元線驅動電路的運作，然而，整體而言，相較於習知快閃記憶體，本發明快閃記憶體所需的電晶體較少而具有較小的尺寸以及較低的生產成本。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知快閃記憶體之結構示意圖。

圖二為圖一所示之快閃記憶體的電路示意圖。

圖三為圖二所示之字元線驅動電路的電路示意圖。

圖四為本發明快閃記憶體之功能方塊示意圖。

圖五為圖四所示之字元線驅動電路的電路示意圖。

圖六為圖四所示之基底電壓控制電路的電路示意圖。

圖七為圖四所示之驅動電壓輸出電路的電路示意圖。

圖八為圖四所示之字元線重置電路的電路示意圖。

圖式之符號說明

10 快閃記憶體

12 基底

14 源極

16 汲極

18 浮置閘極

20 控制閘極

22 通道

24、25 氧化層

26、44、80 記憶單元

32、62 第一解碼電路

34、64 第二解碼電路

36、68 行驅動電路

38、66 電壓供應電路

40a、40b、70a、70b 記憶區塊

42a、42b、72a、72b 字元線驅動電路

46、84、104 NAND邏輯閘

48a、48b、48c、102a、102b NOR邏輯閘

50a、50b、50c 電壓轉換電路



圖式簡單說明

52a、52b、52c、52d、86a、86b、86c、86d、86e、
86f、88a、88b、88c、90a、90b、90c、90d、90e、
90f、90g、90h、96a、96b、96c、96d、96e、96f、
96g、96h、108a、108b 電 晶 體
54、87a、87b、87c、87d、87e、92a、92b、98、106a、
106b 反 相 器
74 驅 動 電 壓 輸 出 電 路 76 基 底 電 壓 控 制 電 路
78 字 元 線 重 置 電 路 82a、82b 記 憶 區 塊 選 取 電 路
83a、83b、83c 驅 動 單 元
94a、94b 輸 出 單 元
100a、100b 電 壓 準 位 重 置 單 元



六、申請專利範圍

1. 一種非揮發性記憶體 (non-volatile memory)，其包含有：

複數個記憶區塊 (memory block)，每一記憶區塊包含有複數個字元線 (word line)，每一字元線電連接於複數個記憶單元 (memory cell)；

一第一解碼電路，用來解碼一記憶體位址以產生複數個第一解碼訊號；

一第二解碼電路，用來解碼該記憶體位址以產生複數個第二解碼訊號；以及

一行驅動電路 (row driver)，用來驅動一預定字元線至一預定電壓準位，該行驅動電路包含有：

複數個字元線驅動電路 (word line driver)，電連接於該第一解碼電路與該第二解碼電路，每一字元線驅動電路包含有：

複數個驅動單元，每一驅動單元係電連接於一字元線；

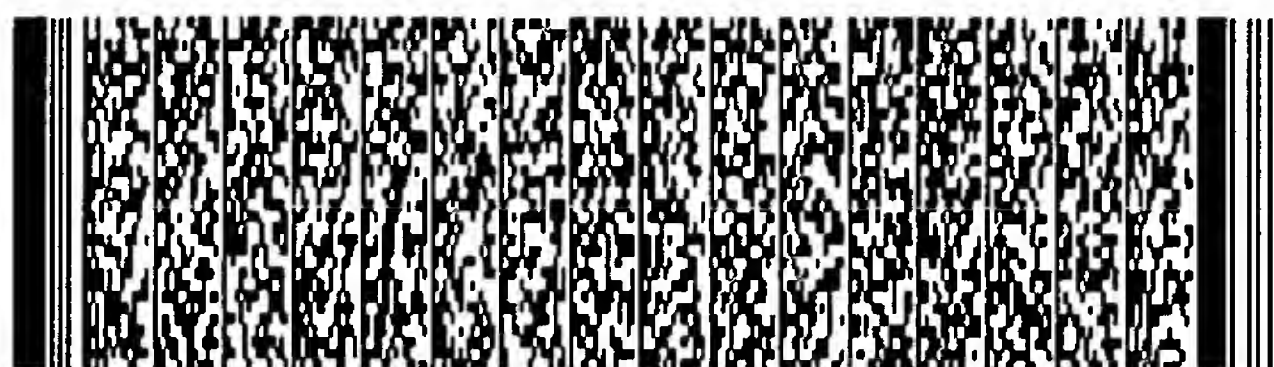
一記憶區塊選取電路，電連接於該複數個驅動單元，用來依據該複數個第一解碼訊號導通該複數個驅動單元；以及

一驅動電壓輸出電路，電連接於該複數個驅動單元，用來以不使用該複數個第一解碼訊號之方式依據該複數個第二解碼訊號決定複數個驅動電壓之操作電壓準位，以及於連接於該預定字元線之驅動單元導通而電連接該預定字元線與該驅動電壓輸出電路時，輸出一預定驅動電壓來驅動該預定字元線至該預定電壓準位。



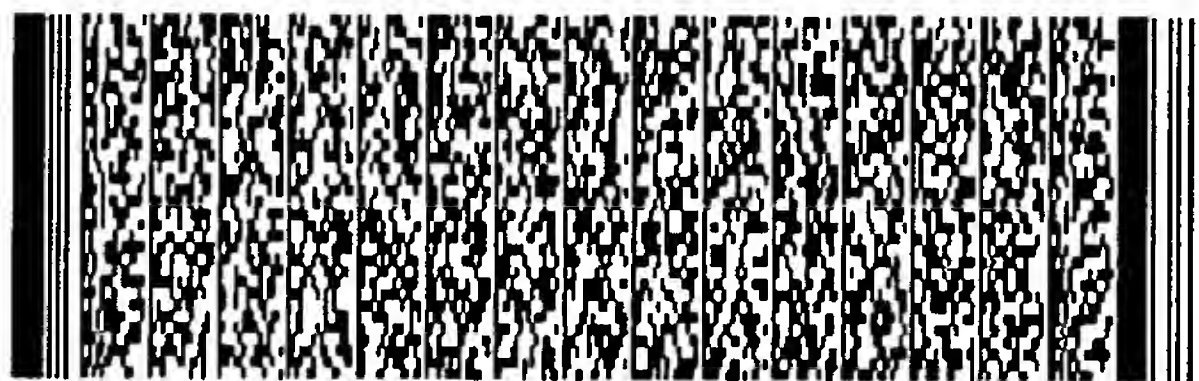
六、申請專利範圍

2. 如申請專利範圍第1項所述之非揮發性記憶體，其係為一快閃記憶體（flash memory）。
3. 如申請專利範圍第1項所述之非揮發性記憶體，其係由一互補金屬氧化半導體電晶體（complementary metal oxide semiconductor, CMOS）製程所形成。
4. 如申請專利範圍第3項所述之非揮發性記憶體，其中每一驅動單元包含有：
 - 一 P型金屬氧化半導體電晶體（PMOS），其包含有：
 - 一汲極（drain），電連接於一驅動電壓；
 - 一源極（source），電連接於一字元線；以及
 - 一閘極（gate），電連接於該記憶區塊選取電路之第一輸出端；以及
 - 一第一 N型金屬氧化半導體電晶體（NMOS），其包含有：
 - 一汲極，電連接於該 P型金屬氧化半導體電晶體之源極；
 - 一源極，電連接於一預定電壓；以及
 - 一閘極，電連接於該記憶區塊選取電路之第二輸出端。
5. 如申請專利範圍第4項所述之非揮發性記憶體，其中該 P型金屬氧化半導體電晶體係形成於一 N型基底上，以及該第一 N型金屬氧化半導體電晶體係形成於一 P型基底上。



六、申請專利範圍

6. 如申請專利範圍第5項所述之非揮發性記憶體，其中該P型基底係電連接於該第一N型金屬氧化半導體電晶體之源極，且該行驅動電路另包含有：
一基底電壓控制電路，電連接於該N型基底，用來輸出一控制電壓至該N型基底。
7. 如申請專利範圍第6項所述之非揮發性記憶體，其中若該非揮發性記憶體進入一讀取（read）狀態或一程式化（program）狀態，則該控制電壓對應一第一電壓準位，若該非揮發性記憶體進入一清除（erase）狀態，則該控制電壓對應一第二電壓準位。
8. 如申請專利範圍第6項所述之非揮發性記憶體，其中該第一電壓準位大於該第二電壓準位。
9. 如申請專利範圍第4項所述之非揮發性記憶體，其中該驅動單元包含有：
一第二N型金屬氧化半導體電晶體（NMOS），其包含有：
一汲極，電連接於該P型金屬氧化半導體電晶體之源極；
一源極，電連接於該預定電壓；以及
一閘極。
10. 如申請專利範圍第9項所述之非揮發性記憶體，其另



六、申請專利範圍

包含有：

一字元線重置電路，電連接於該第二 N 型金屬氧化半導體電晶體之閘極，用來輸出一控制電壓至該該第二 N 型金屬氧化半導體電晶體之閘極。

11. 如申請專利範圍第 10 項所述之非揮發性記憶體，其中若該非揮發性記憶體進入一清除 (erase) 狀態，則該字元線重置電路所輸出之控制電壓無法開啟該第二 N 型金屬氧化半導體電晶體。

12. 如申請專利範圍第 11 項所述之非揮發性記憶體，其中若該非揮發性記憶體進入一讀取 (read) 狀態或一程式化 (program) 狀態，以及該驅動單元之相對應字元線被選取以進行讀取或程式化，則該字元線重置電路所輸出之控制電壓無法開啟該第二 N 型金屬氧化半導體電晶體。

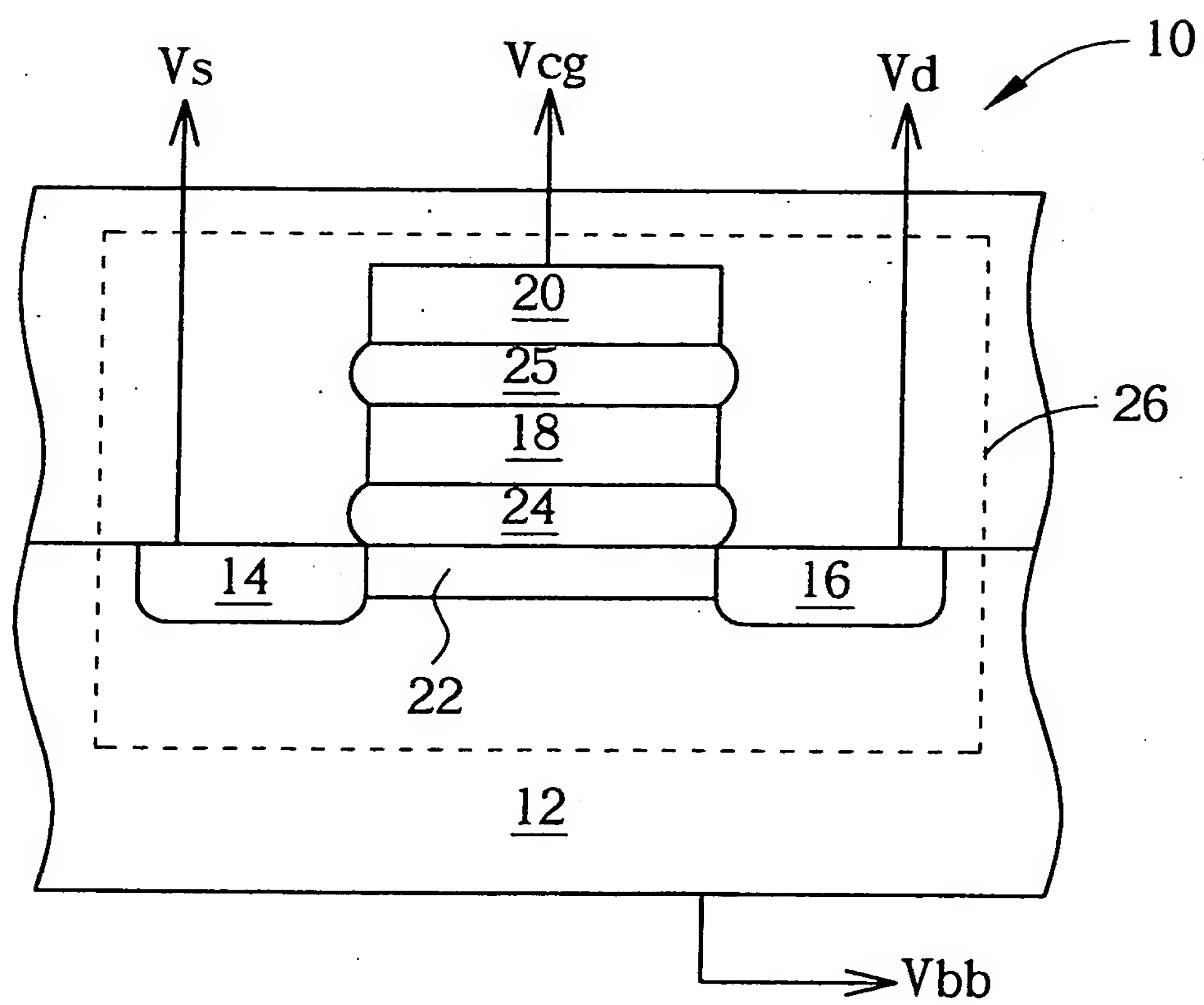
13. 如申請專利範圍第 4 項所述之非揮發性記憶體，其中若該記憶區塊選取電路選取該複數個驅動單元，則該記憶區塊選取電路之第一輸出端對應一第一電壓準位以開啟該 P 型金屬氧化半導體電晶體，以及若該記憶區塊選取電路不選取該複數個驅動單元，則該記憶區塊選取電路之第一輸出端對應一第二電壓準位以關閉該 P 型金屬氧化半導體電晶體。



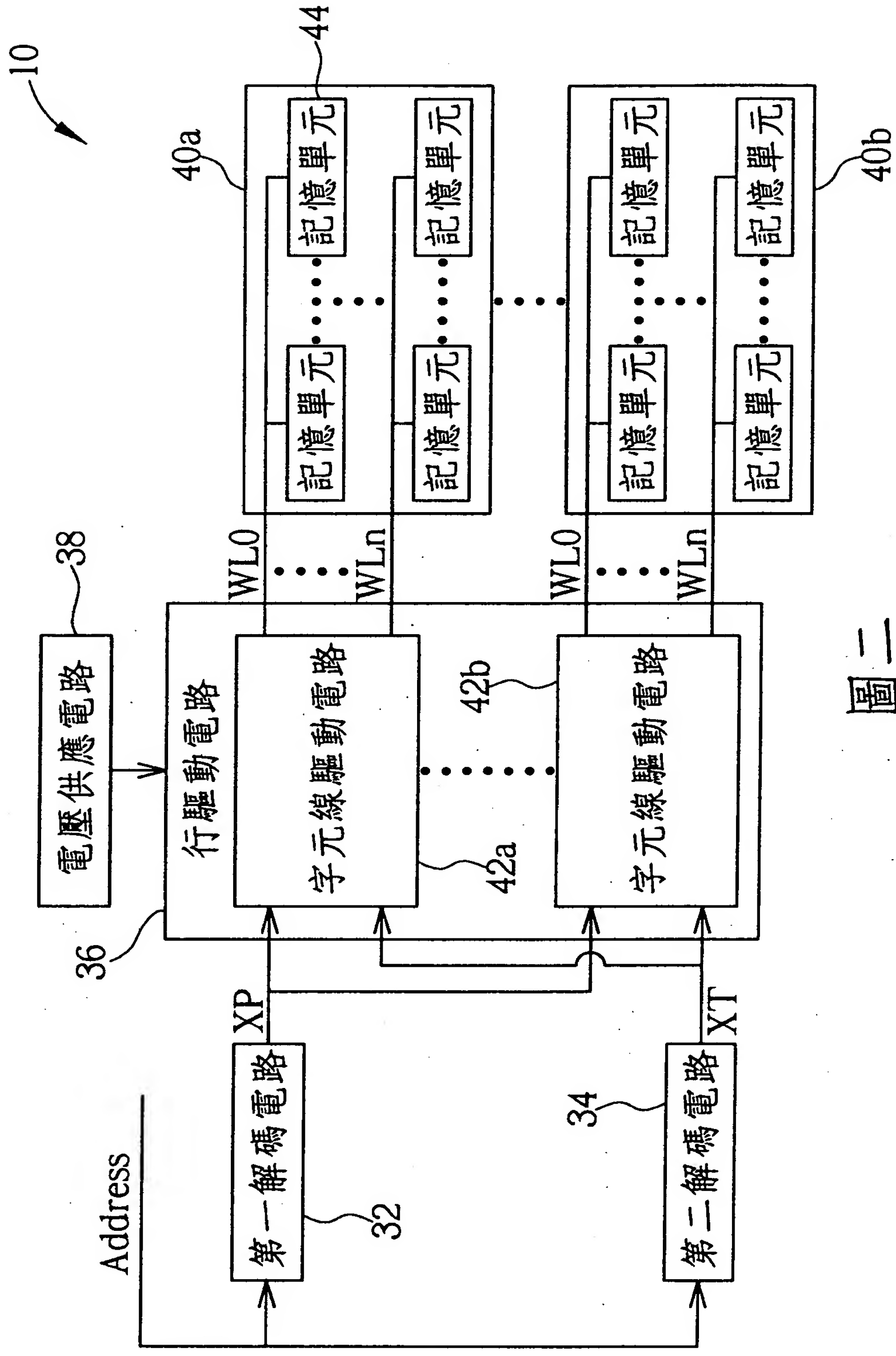
六、申請專利範圍

14. 如申請專利範圍第4項所述之非揮發性記憶體，其中若該記憶區塊選取電路選取該複數個驅動單元，則該記憶區塊選取電路之第二輸出端對應一第一電壓準位以關閉該N型金屬氧化半導體電晶體，以及若該記憶區塊選取電路不選取該複數個驅動單元，則該記憶區塊選取電路之第二輸出端對應一第二電壓準位以開啟該N型金屬氧化半導體電晶體。

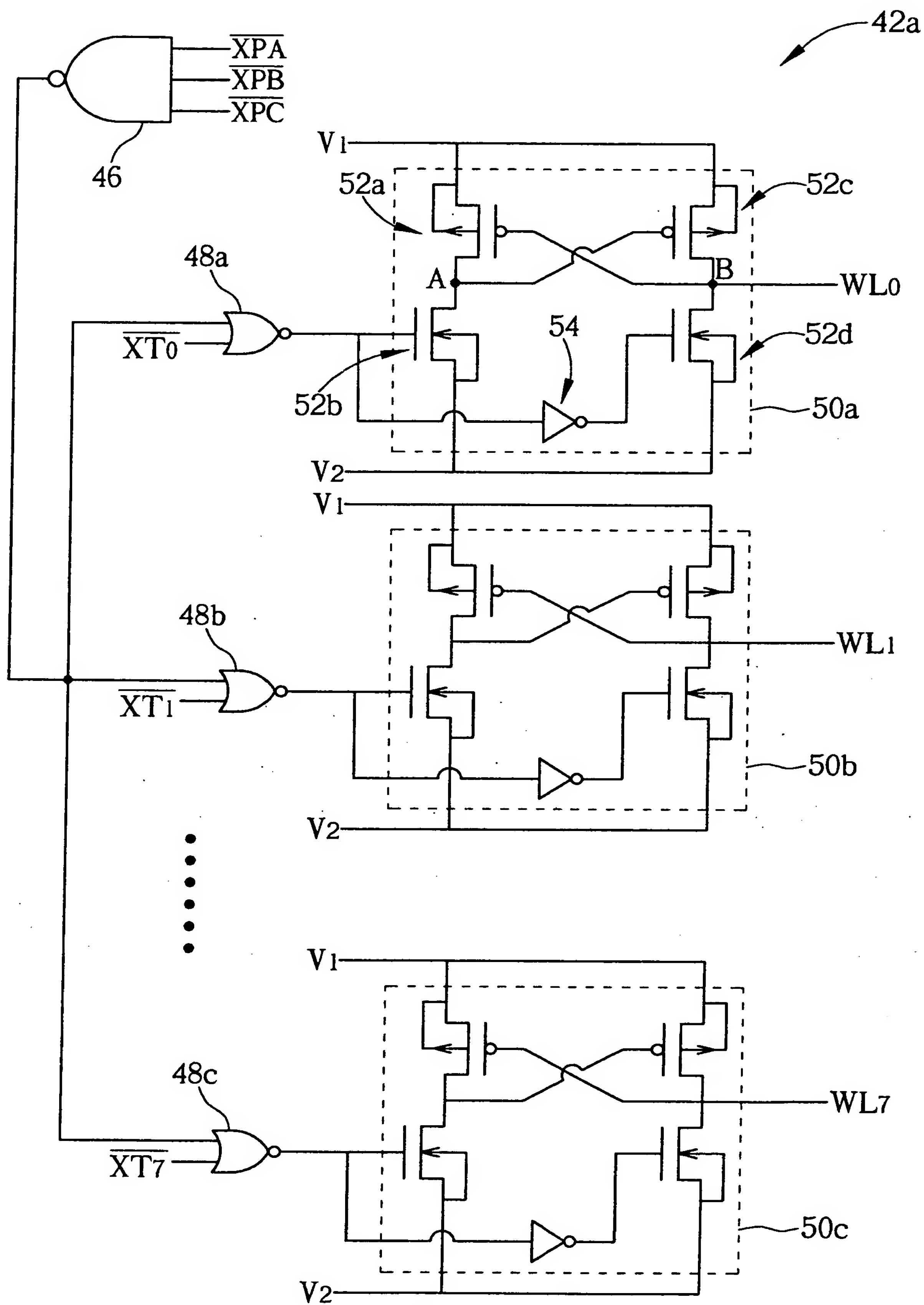




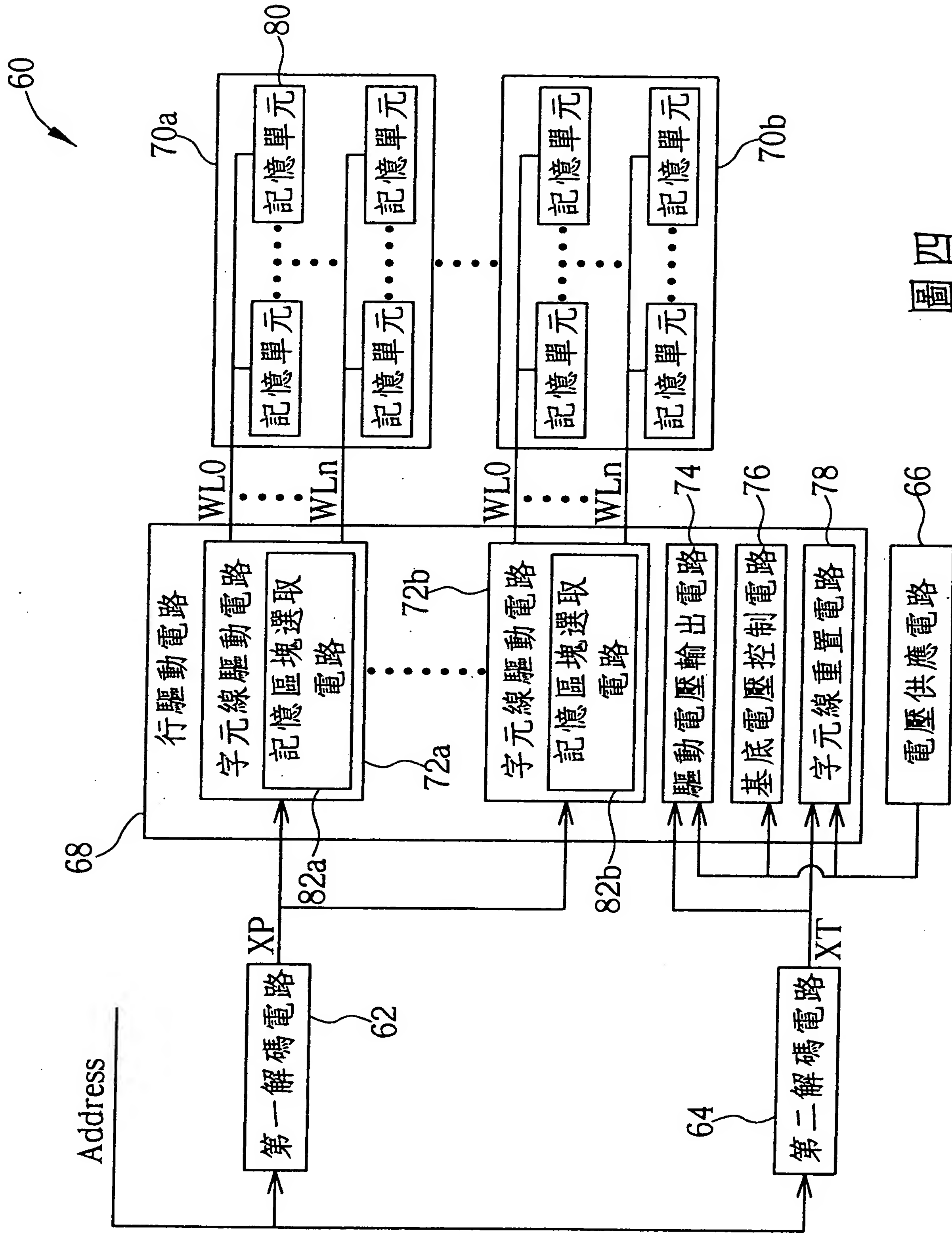
圖一



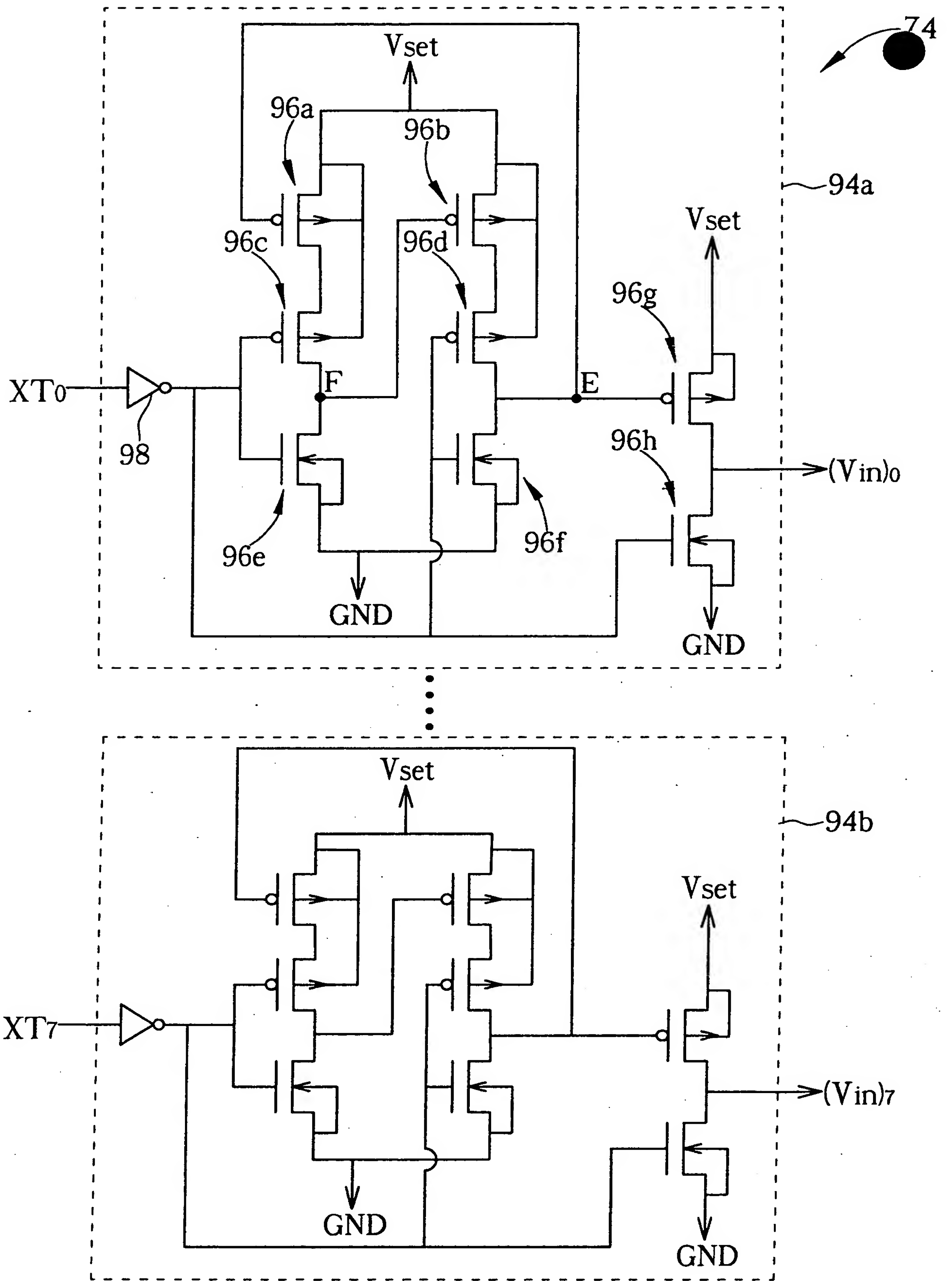
圖二



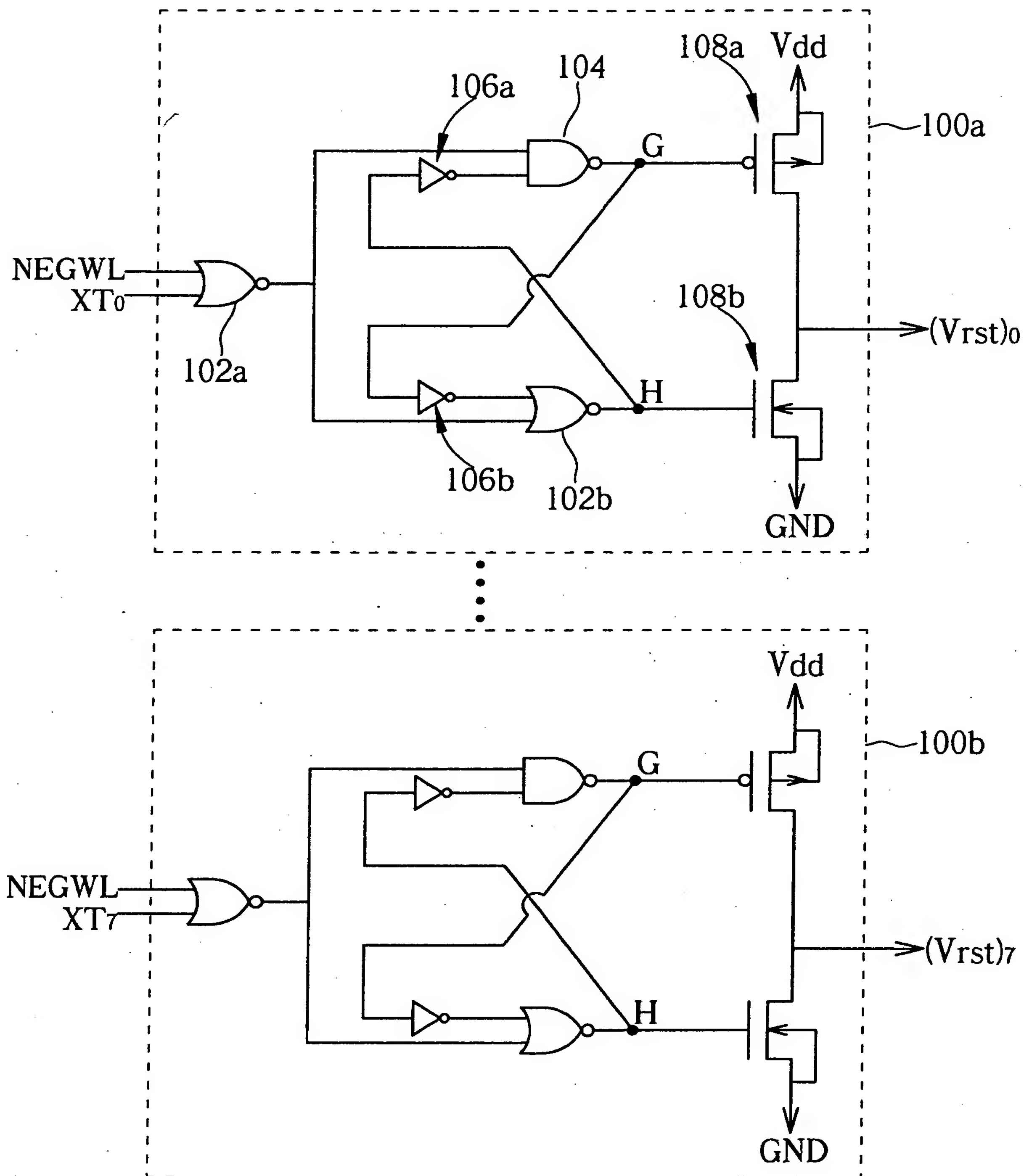
圖三



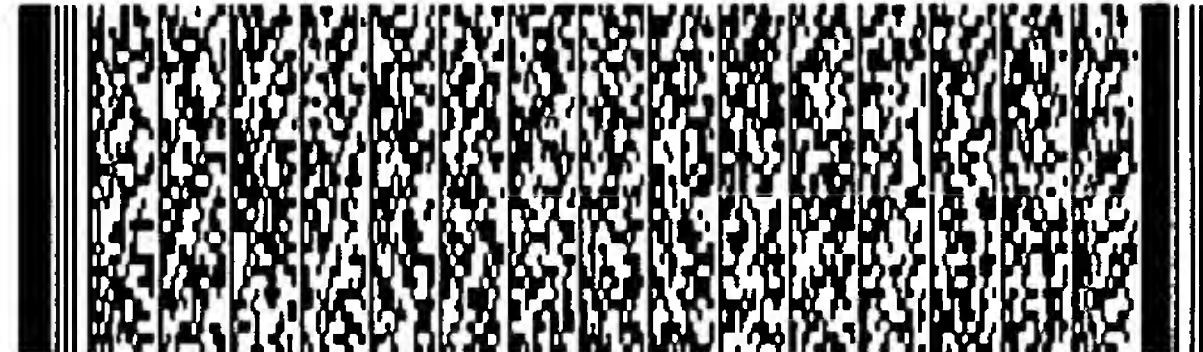
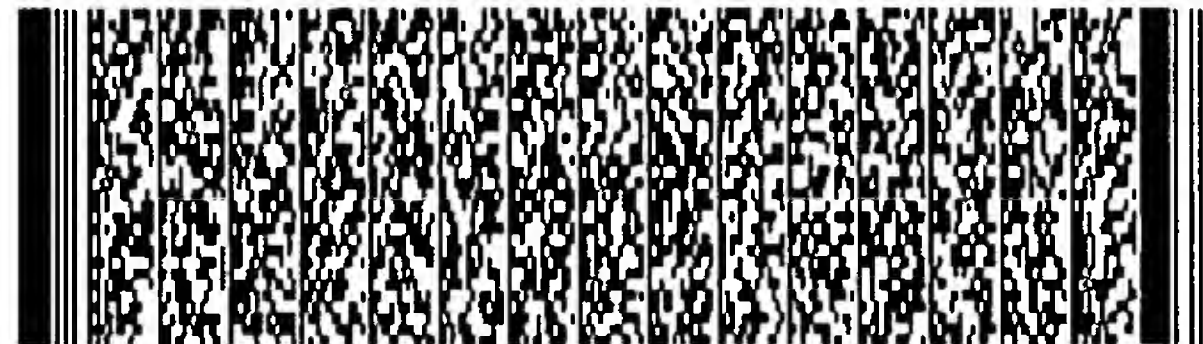
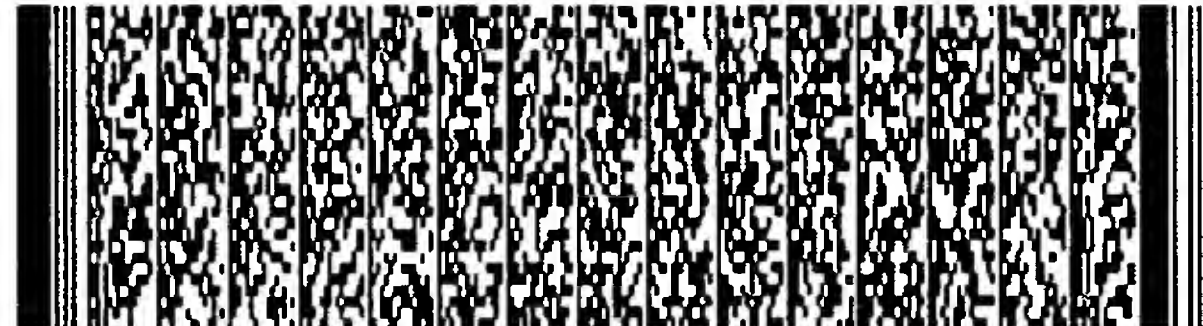
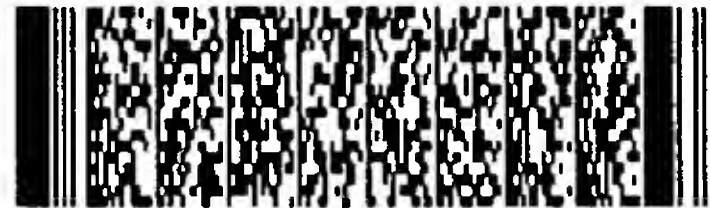
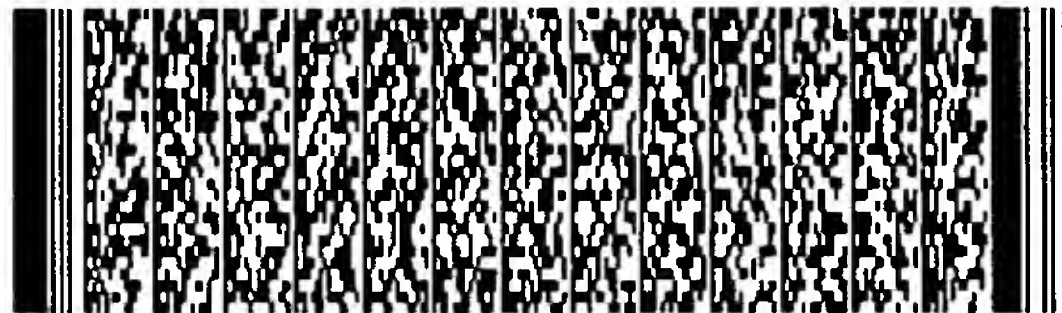
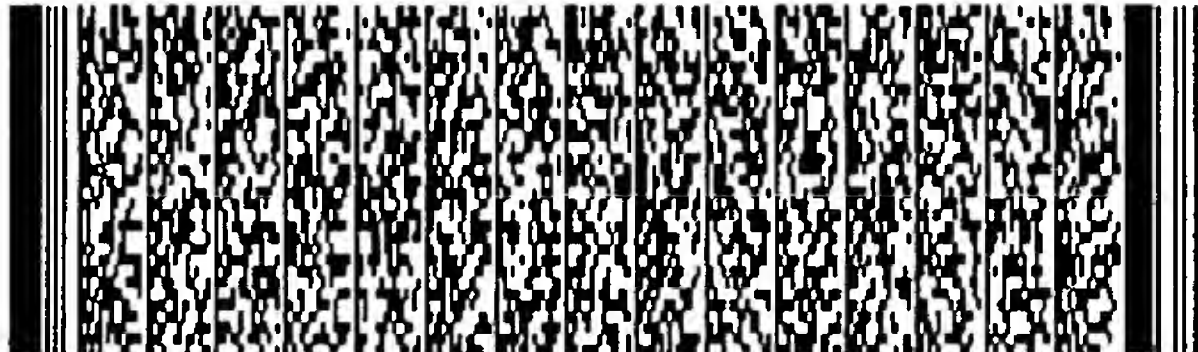
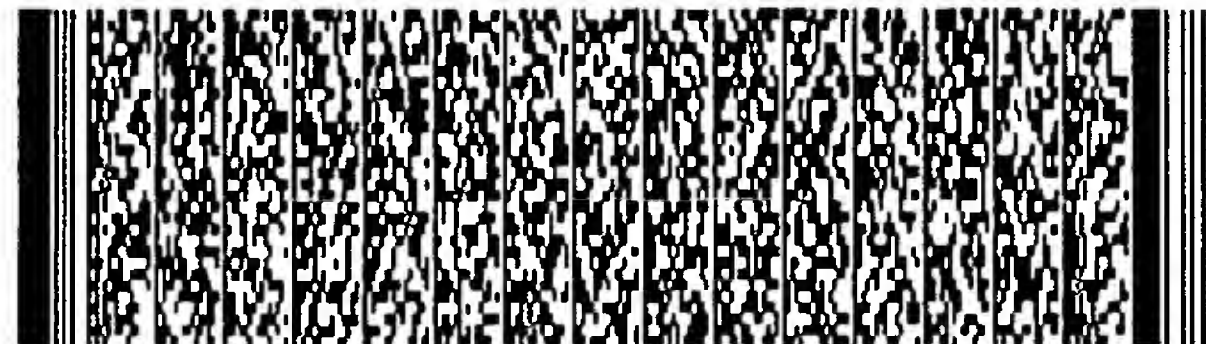
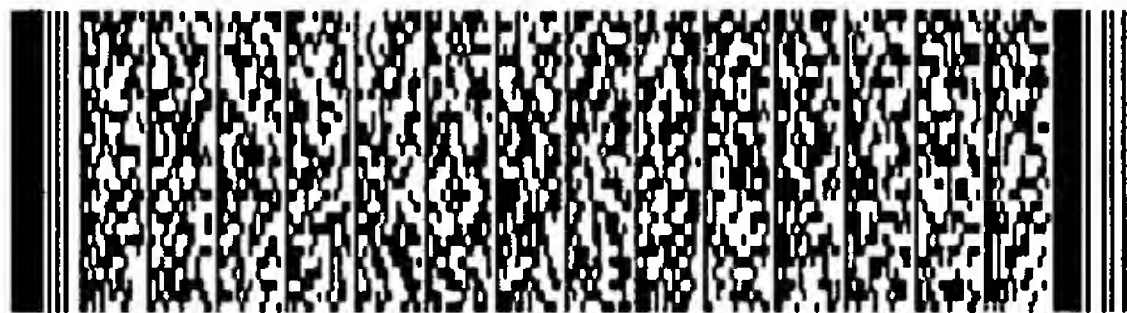
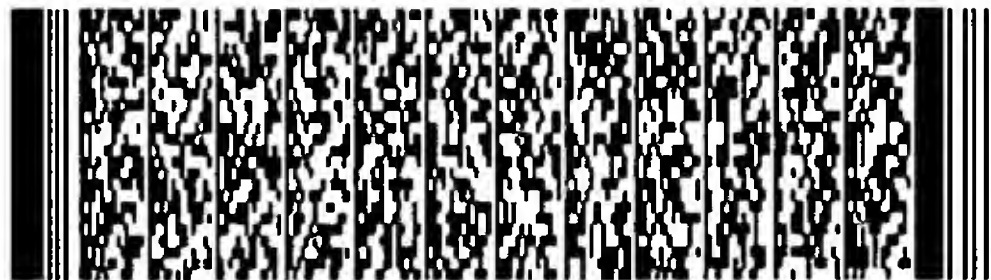
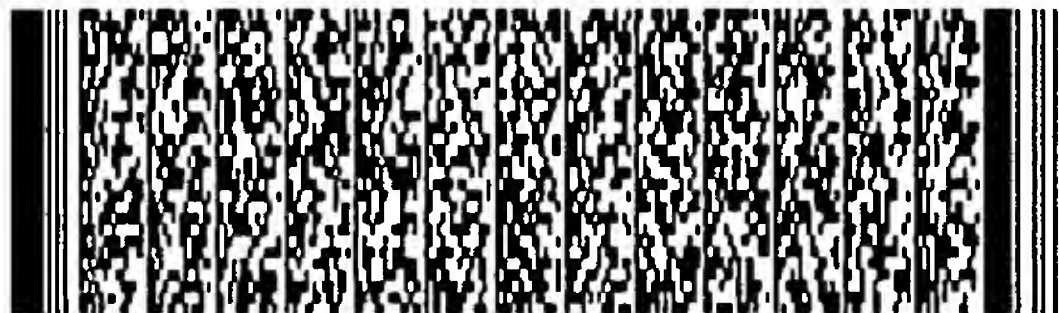
圖四



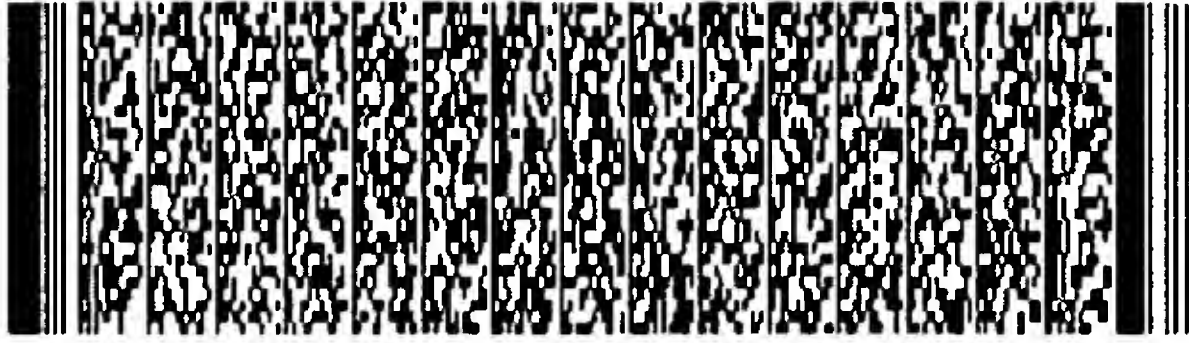
圖七



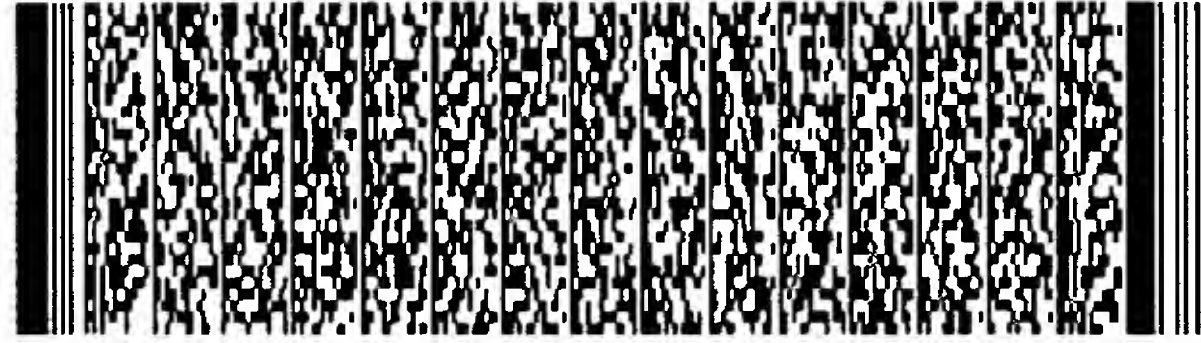
圖八



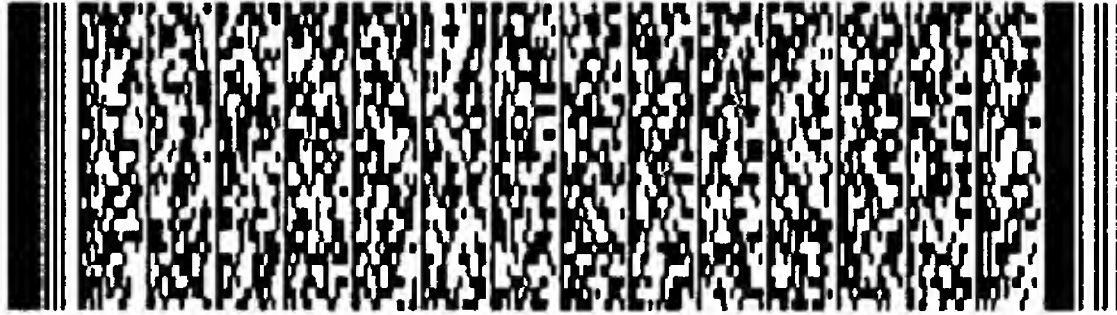
第 12/47 頁



第 12/47 頁



第 13/47 頁



第 13/47 頁



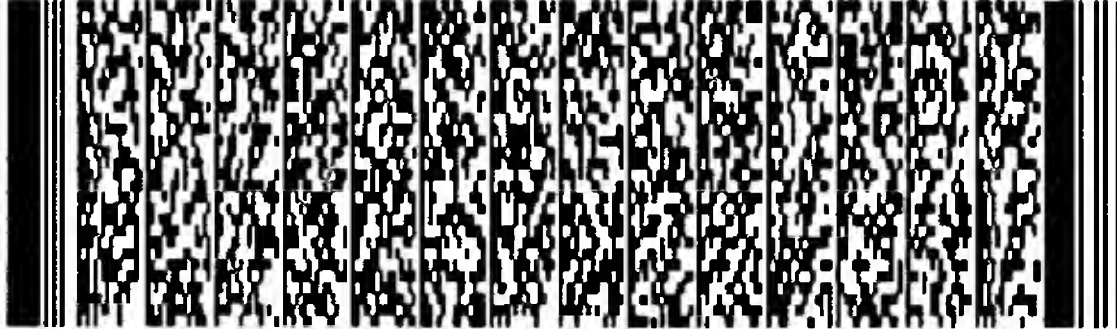
第 14/47 頁



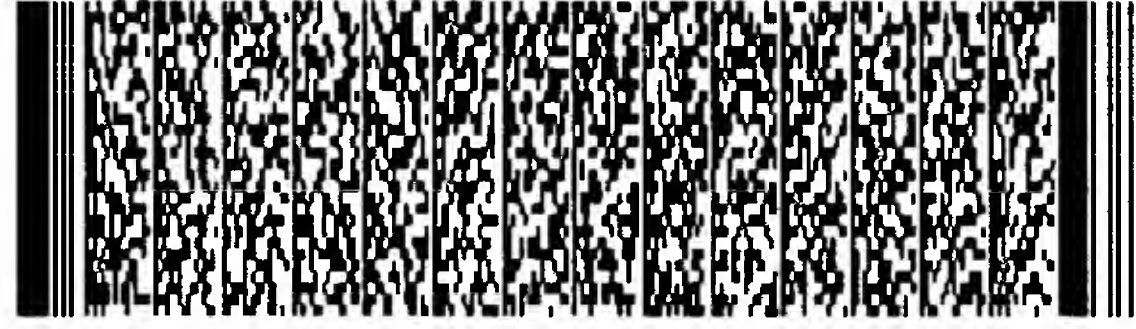
第 14/47 頁



第 15/47 頁



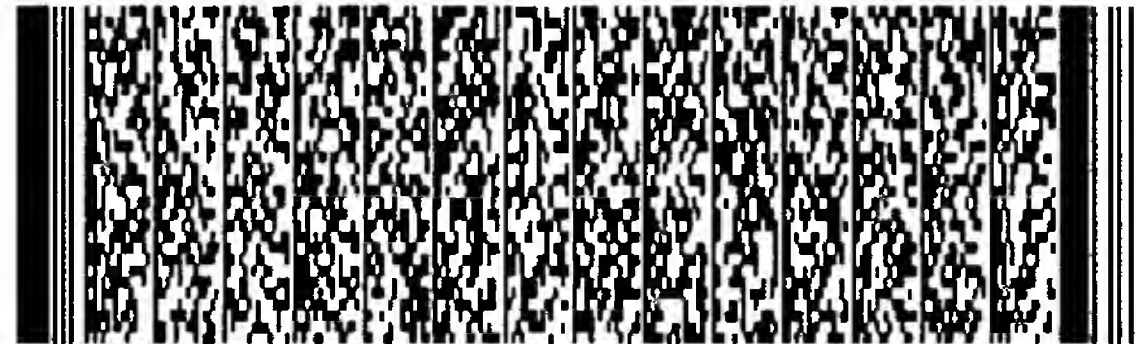
第 15/47 頁



第 16/47 頁



第 16/47 頁



第 17/47 頁



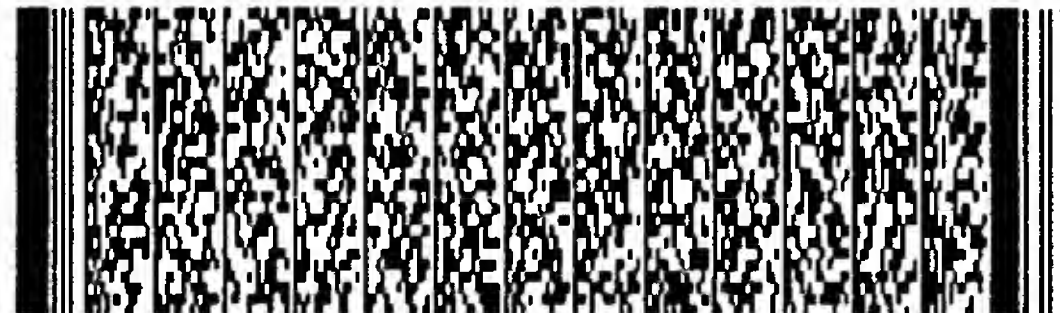
第 17/47 頁



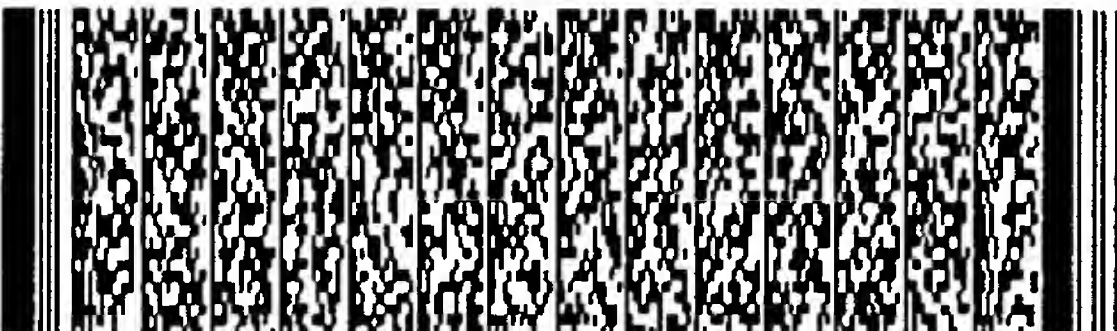
第 18/47 頁



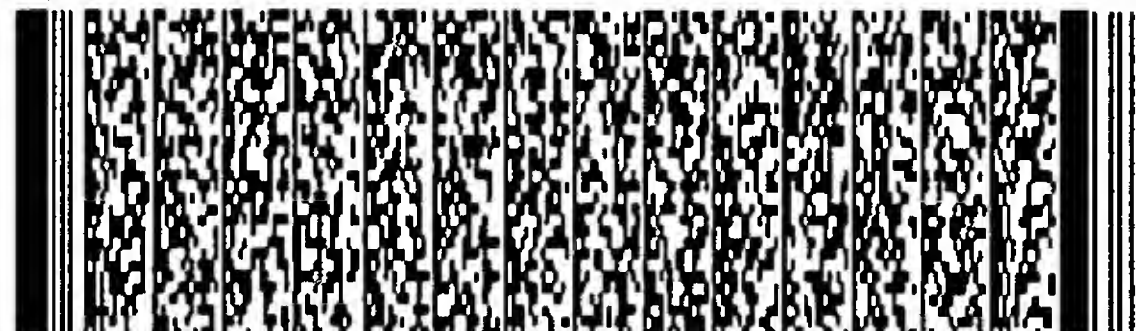
第 18/47 頁



第 19/47 頁



第 19/47 頁



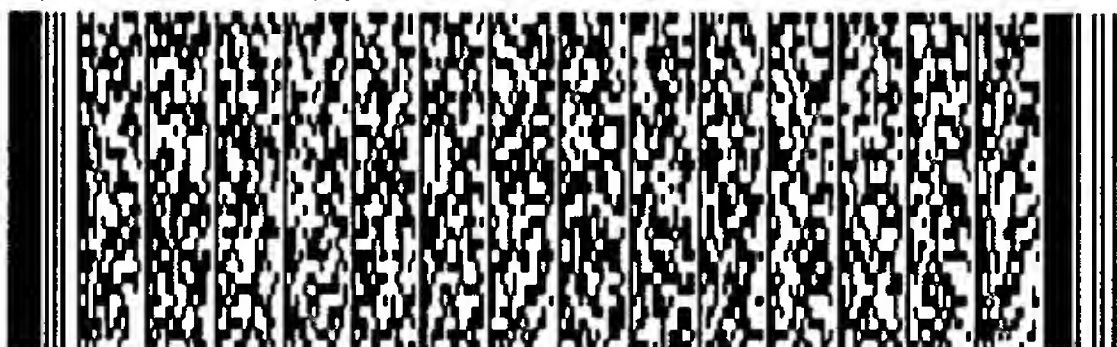
第 20/47 頁



第 21/47 頁



第 22/47 頁



第 23/47 頁



第 24/47 頁



第 25/47 頁



第 26/47 頁



第 27/47 頁



第 20/47 頁



第 21/47 頁



第 22/47 頁



第 23/47 頁



第 24/47 頁



第 25/47 頁



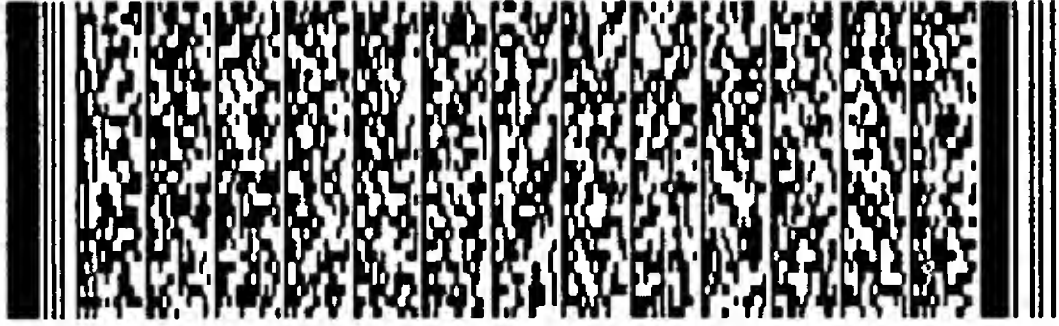
第 26/47 頁



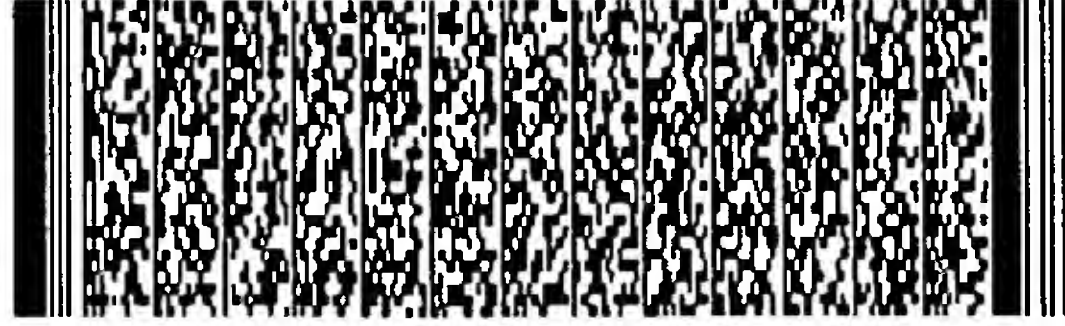
第 27/47 頁



第 28/47 頁



第 28/47 頁



第 29/47 頁



第 29/47 頁



第 30/47 頁



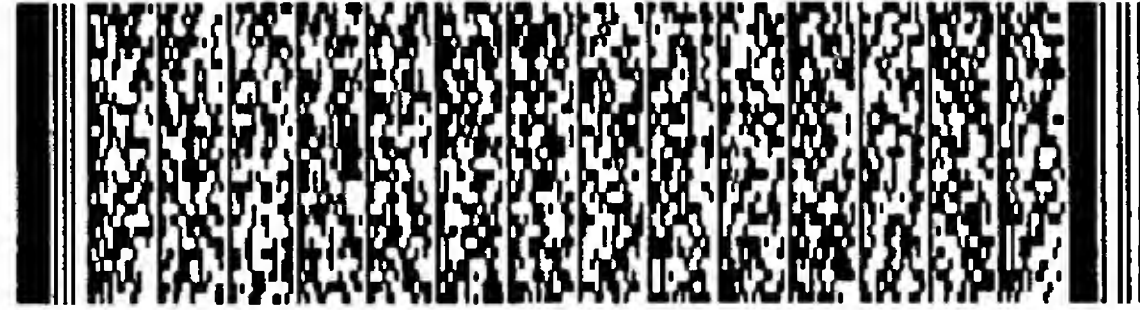
第 30/47 頁



第 31/47 頁



第 31/47 頁



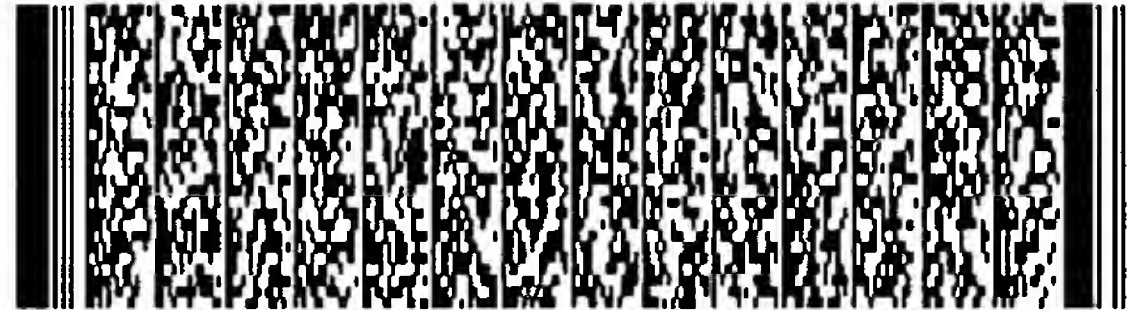
第 32/47 頁



第 32/47 頁



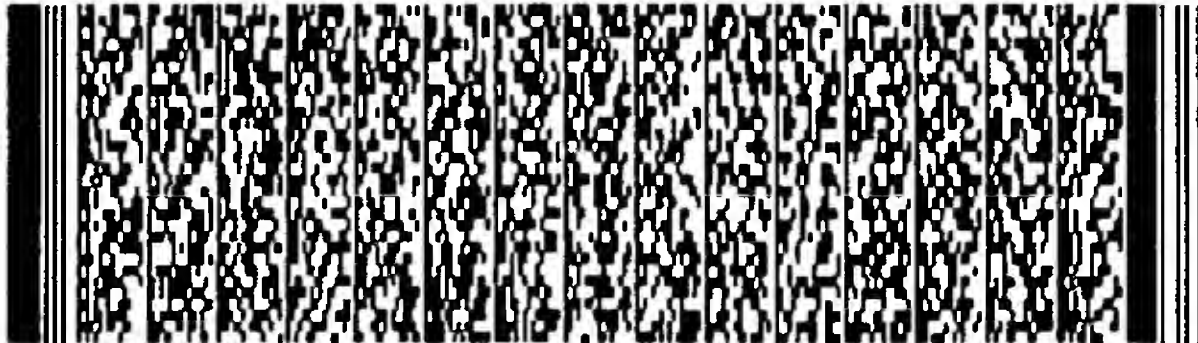
第 33/47 頁



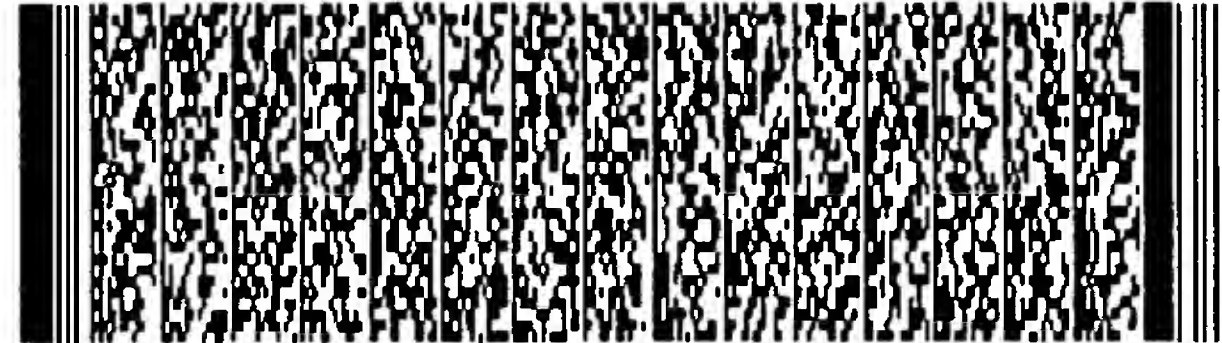
第 33/47 頁



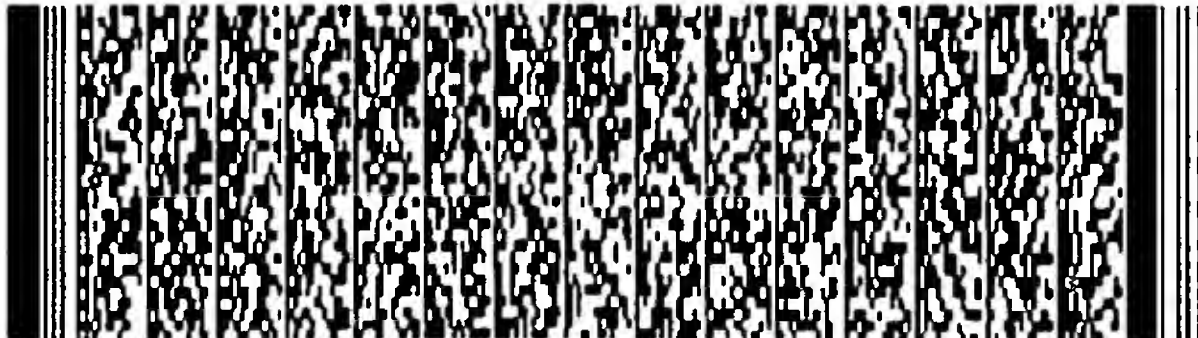
第 34/47 頁



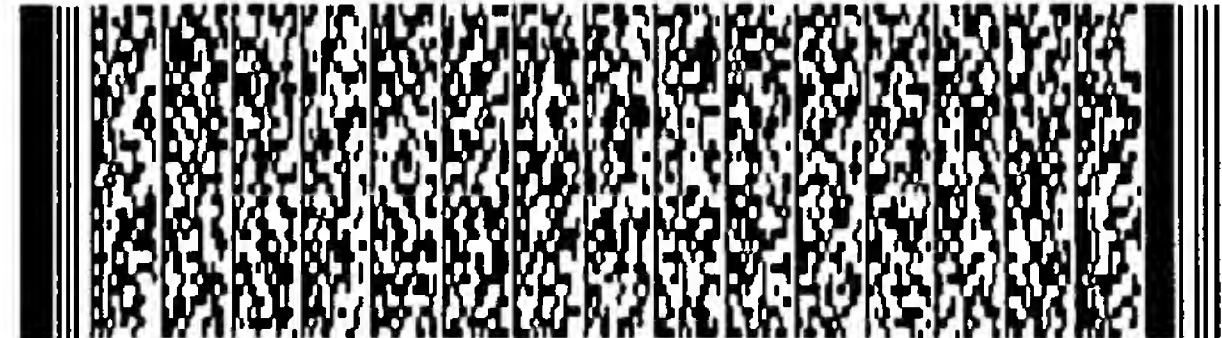
第 34/47 頁



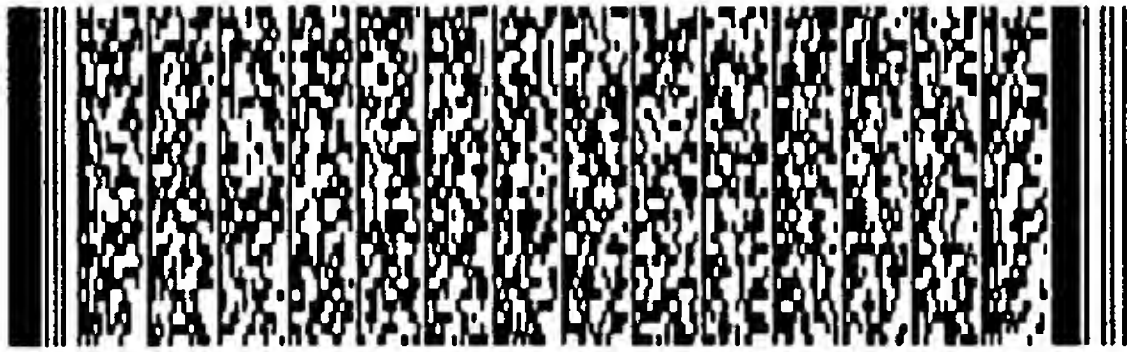
第 35/47 頁



第 35/47 頁



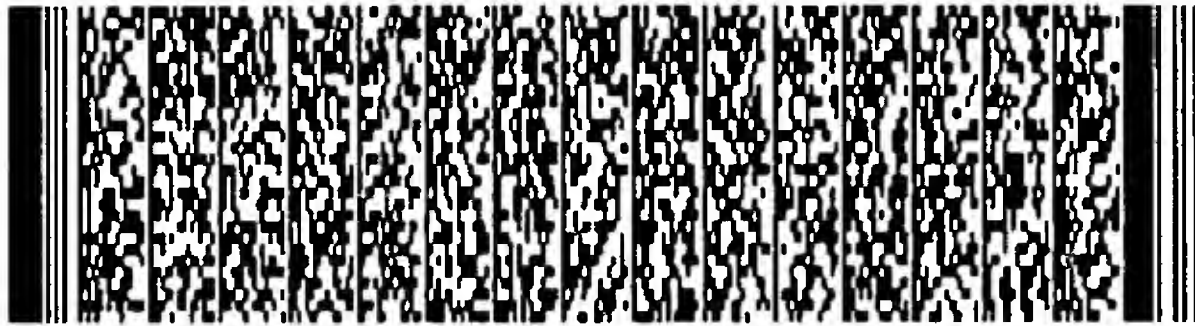
第 36/47 頁



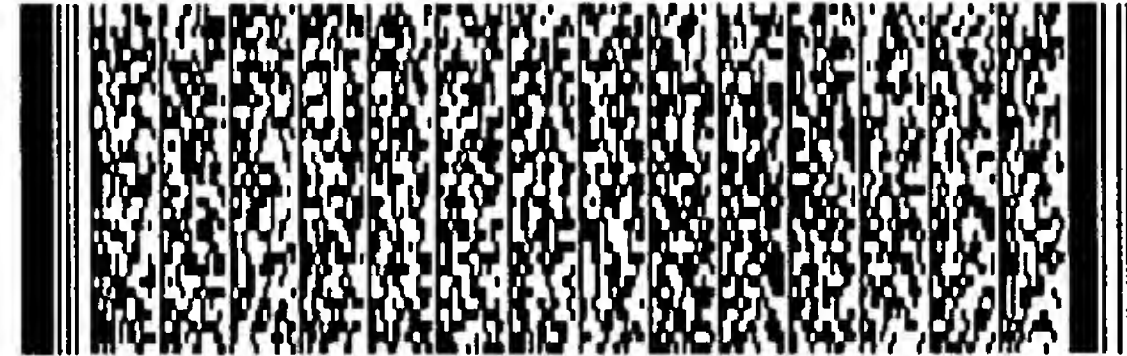
第 36/47 頁



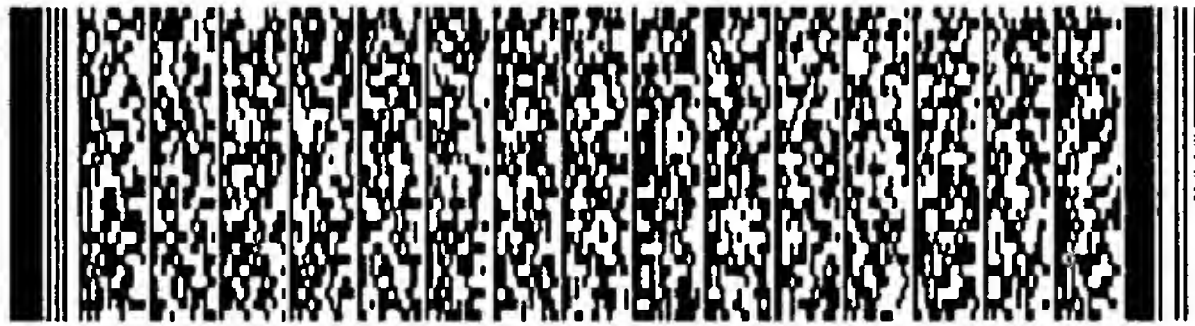
第 37/47 頁



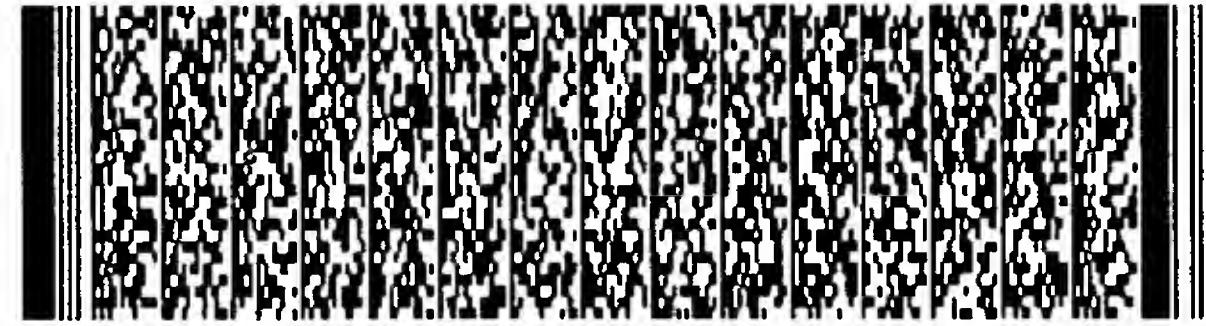
第 37/47 頁



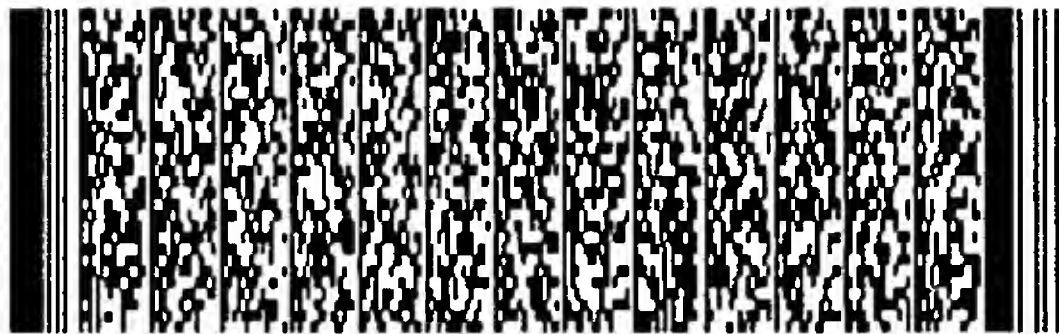
第 38/47 頁



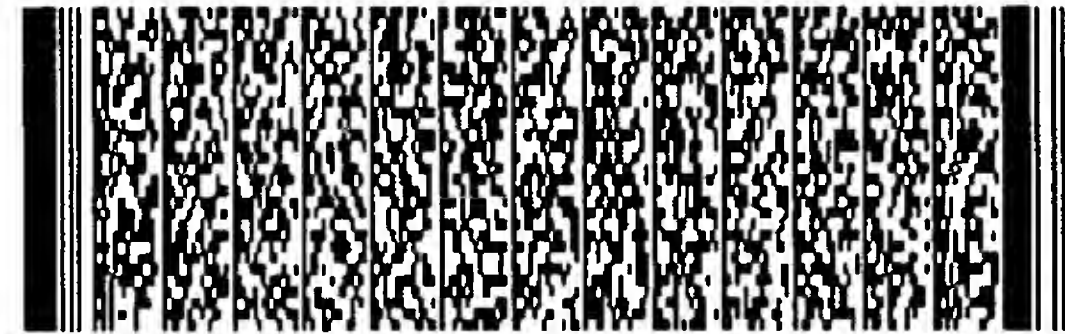
第 38/47 頁



第 39/47 頁



第 39/47 頁



第 40/47 頁



第 40/47 頁



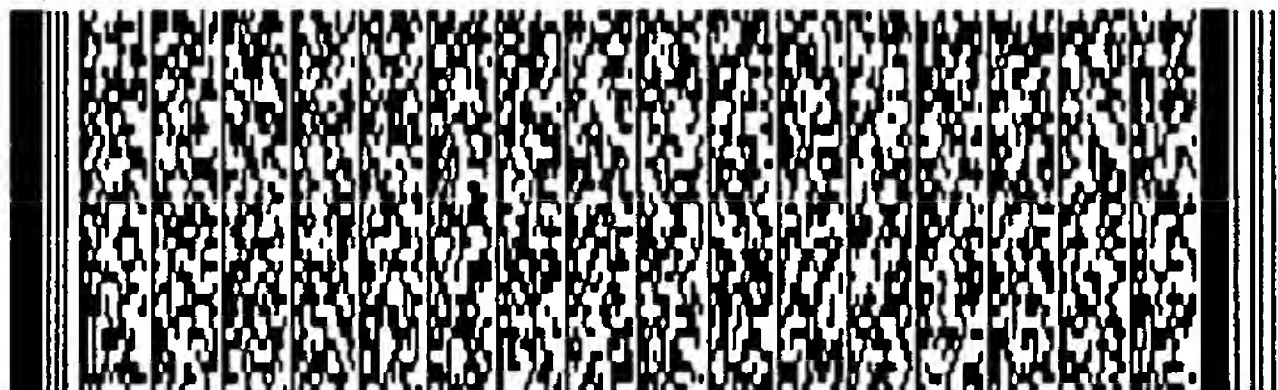
第 41/47 頁



第 42/47 頁



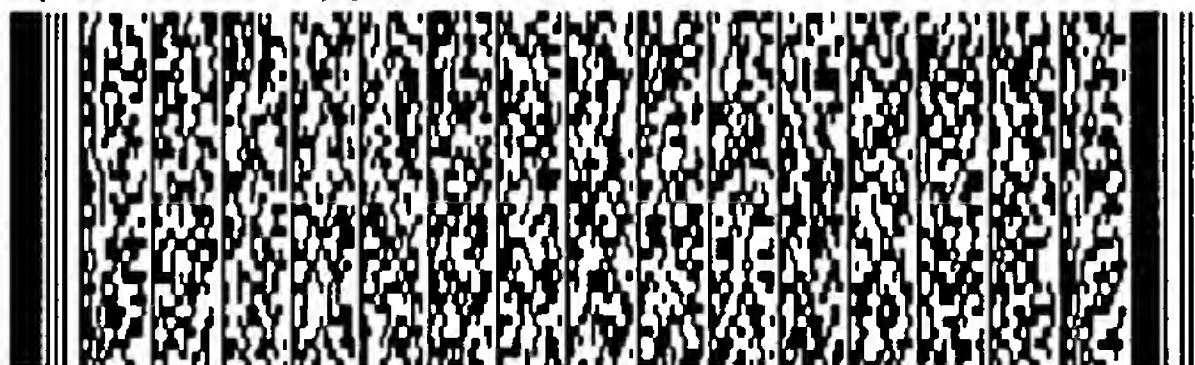
第 43/47 頁



第 44/47 頁



第 45/47 頁



第 46/47 頁



